

O-3-1 遅延回路を使用した中性子 2 次元検出器の読み出し回路の開発

Thursday, 7 March 2024 13:50 (20 minutes)

遅延回路を使用した中性子 2 次元検出器を動作させるために、遅延回路を模擬したテスト回路と、遅延測定回路の開発を行った。最低でも、2ns の時間分解能で、500ns 間を検出できる必要がある。今までに開発してきている、多入力 TDC (DOI 10.1109/TNS.2021.3084144) を応用した。PET 開発実験用で、62.5ps の時間分解能を持つ 128 チャンネルのボードである。4 チャンネルしか使用しないため、比較的簡単に開発できた。テスト回路は、2ns 遅延素子を X 軸に 119 個、Y 軸に 84 個つなげた。それぞれに 16 点と 11 点で電荷を供給できるようにし、約 3pC の電荷で 2 次元画像が得られることが確認できた。TDC の原理、遅延回路の原理、測定結果について報告したい。

Presenter: 節夫, 佐藤 (高エネルギー加速器研究機構 物質構造科学研究所)

Session Classification: 口頭発表 第 3 分科会 (計測制御)