
Lapis 0.20um SOI Process 1.8V I/O Library Analog Bufferについて

2024.12.16 Y. Arai

(Original Library was prepared by T. Takayanagi)



5. Analog Buffer cells

5-1. Analog Buffers

1.8V IOLIB(IOLIBP1_1P8)のAnalog Bufferに、新たに2種類のBufferを加えた。それぞれのBufferの特徴を下表に、また特性を次ページ以降に示す。

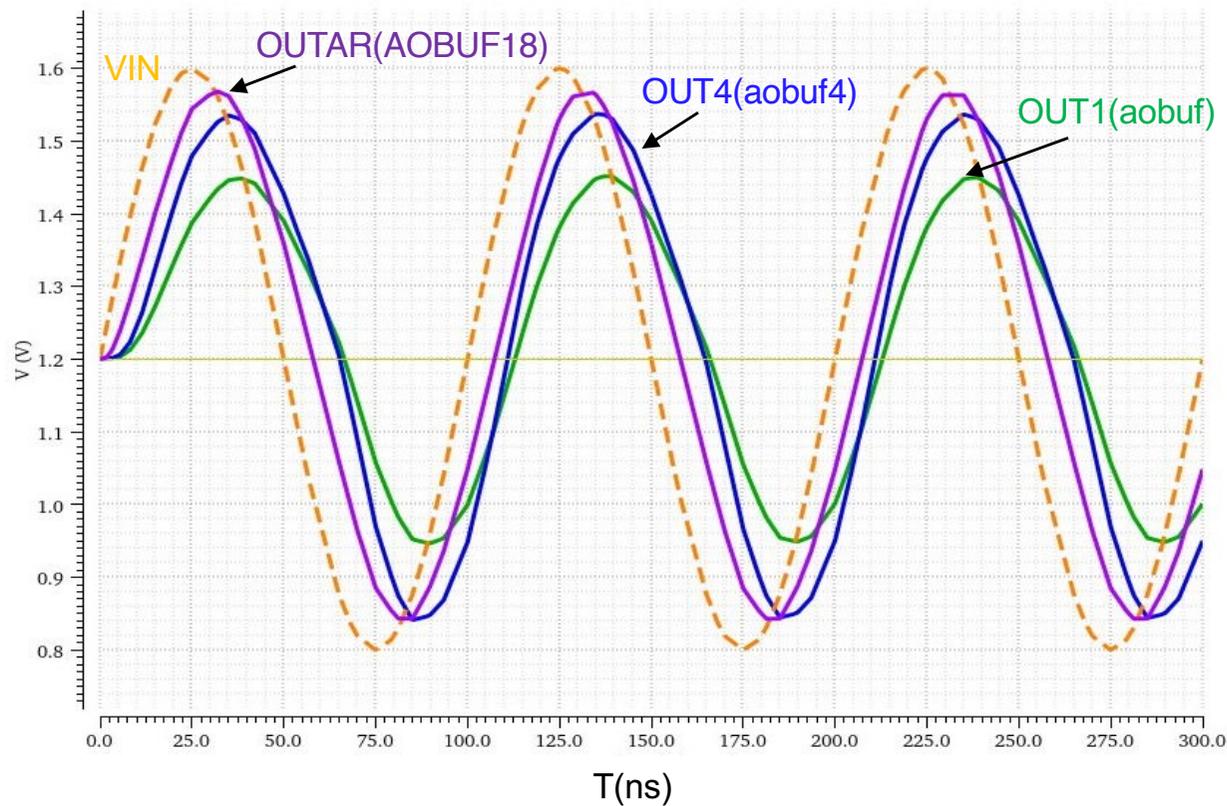
I/O Cell Name	Bias Cell Name	ESD 耐性	Linearity/ Drive能力	Comment
io_aobuf_1P8	ioBIAS18_5M4_RR	◎	△	初期バージョン IO Pad領域に置ける (高さ~150um超過)
io_aobuf4_1P8	ioBIAS18_5M4_RR	○	○	io_aobuf_1P8互換。 出力抵抗削除。 Transfer Gate増強。
io_aobufar_1P8	ARO_BIAS18_AOB04AB	△	◎	A-R-Tec社製作。 内部Core Tr使用

5. Analog Buffer cells

5-1. Analog Buffers

Transition Simulation

SEABAS2/3相当の負荷(1kΩ+10pF, 1.2V終端) 時の、10MHzサイン波に対する出力波形の比較を示す。
 従来型のio_aobuf_1P8では入力より約40%振幅が減少するが、改良型のio_aobuf4_1P8では約15%減少。
 また、A-R-Tec製作のBuffer では約10%の減少であった。

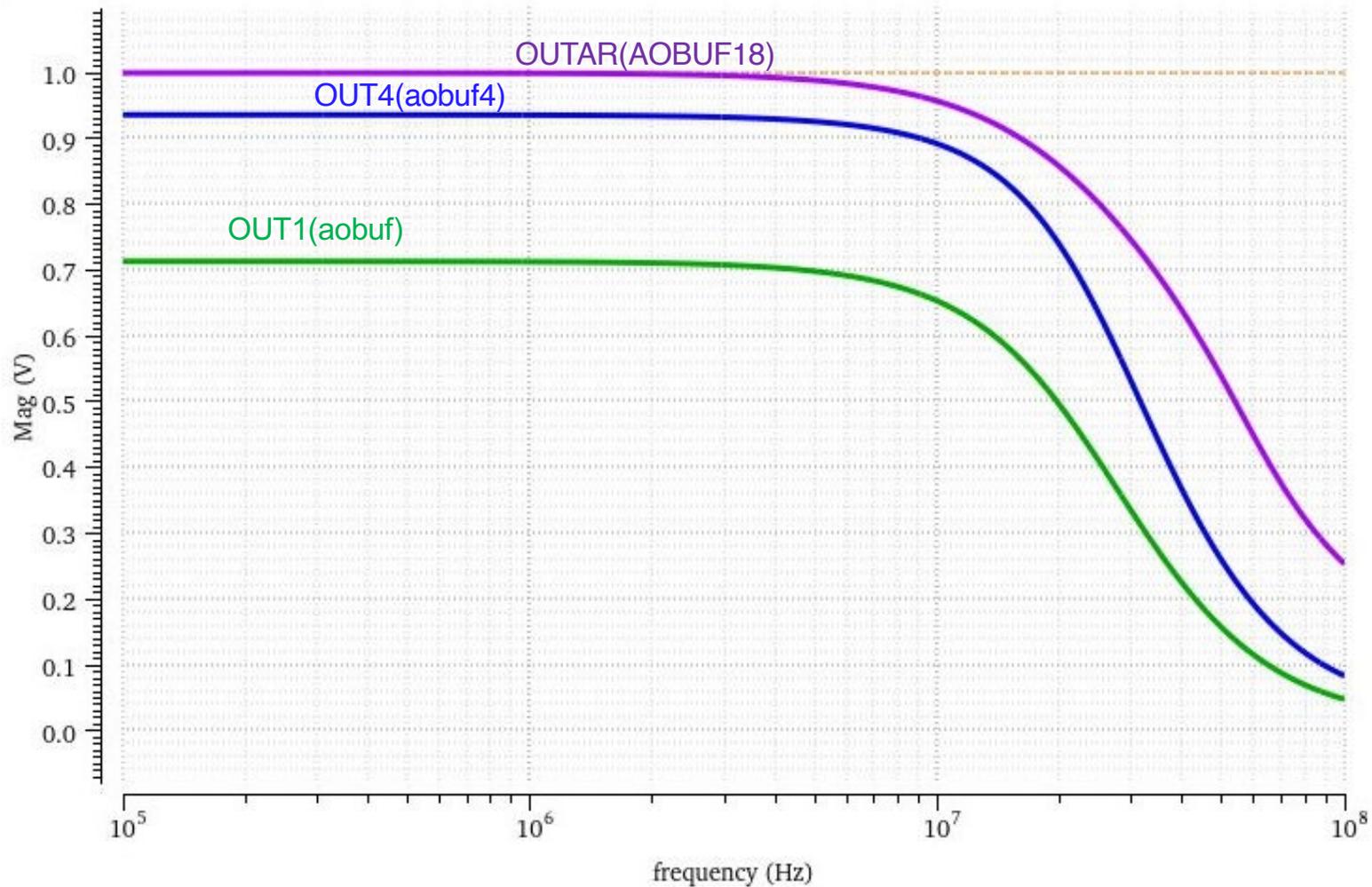


5. Analog Buffer cells

5-1. Analog Buffers

負荷(1kΩ+10pF, 1.2V終端)

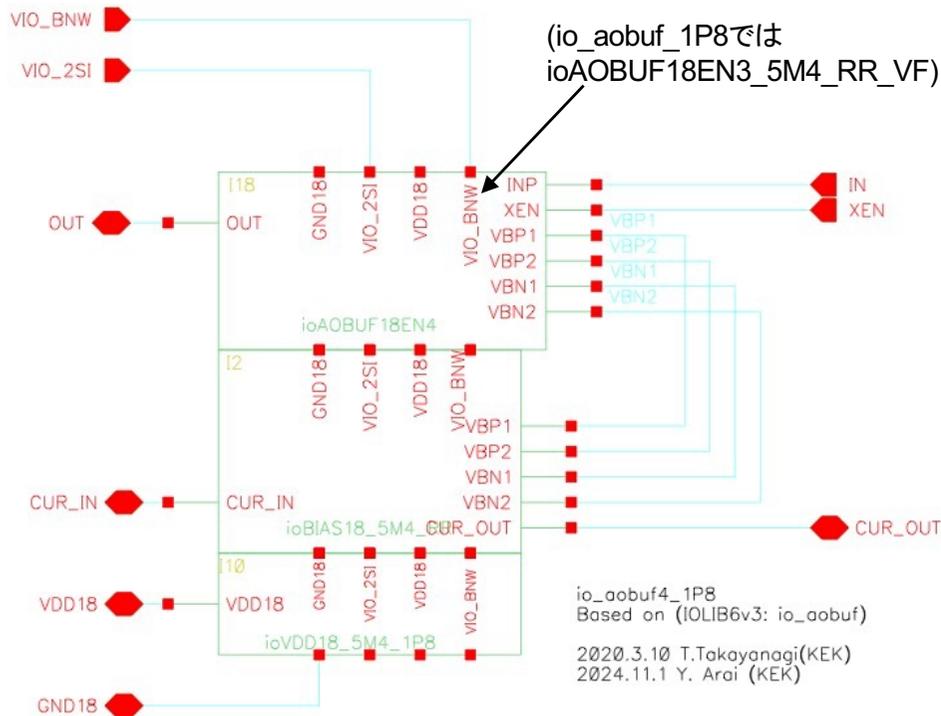
AC Simulation



5. Analog Buffer cells

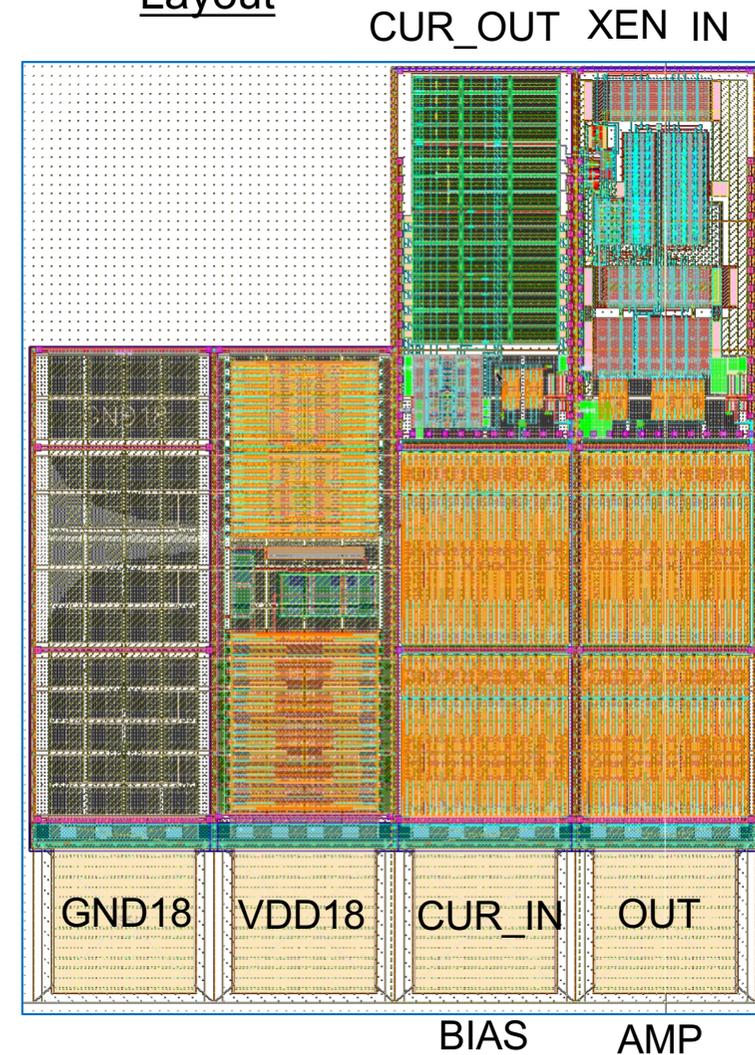
5-2. io_aobuf4_1P8 & io_aobuf_1P8 (Schematic & layout example)

Schematic



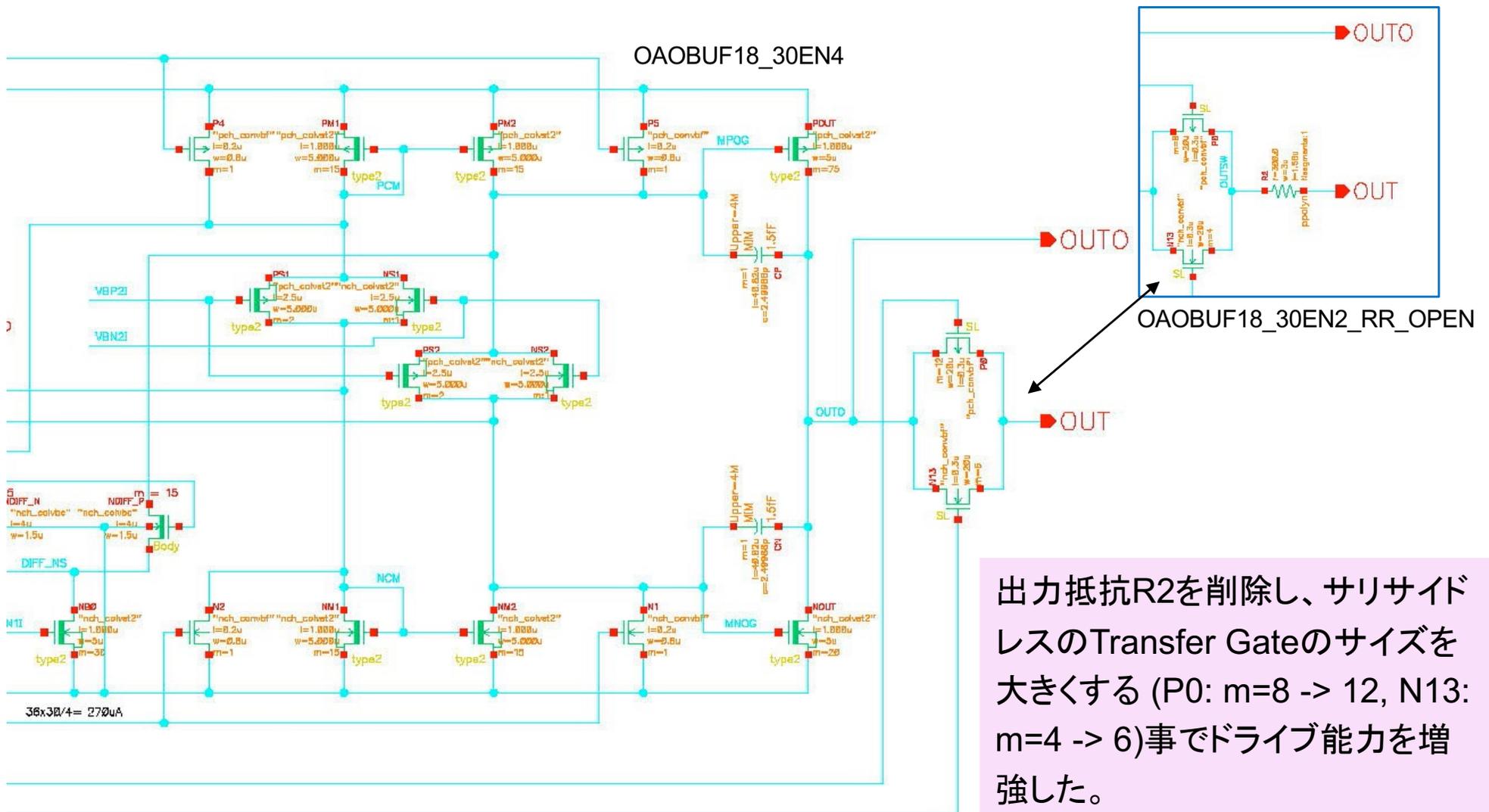
CUR_INの標準値は36uAでこの時V(CUR_IN)=0.73V
XEN=Lで出力Enable.

Layout



5. Analog Buffer cells

5-2. io_aobuf4_1P8 & io_aobuf_1P8 (Schematic4, Difference)

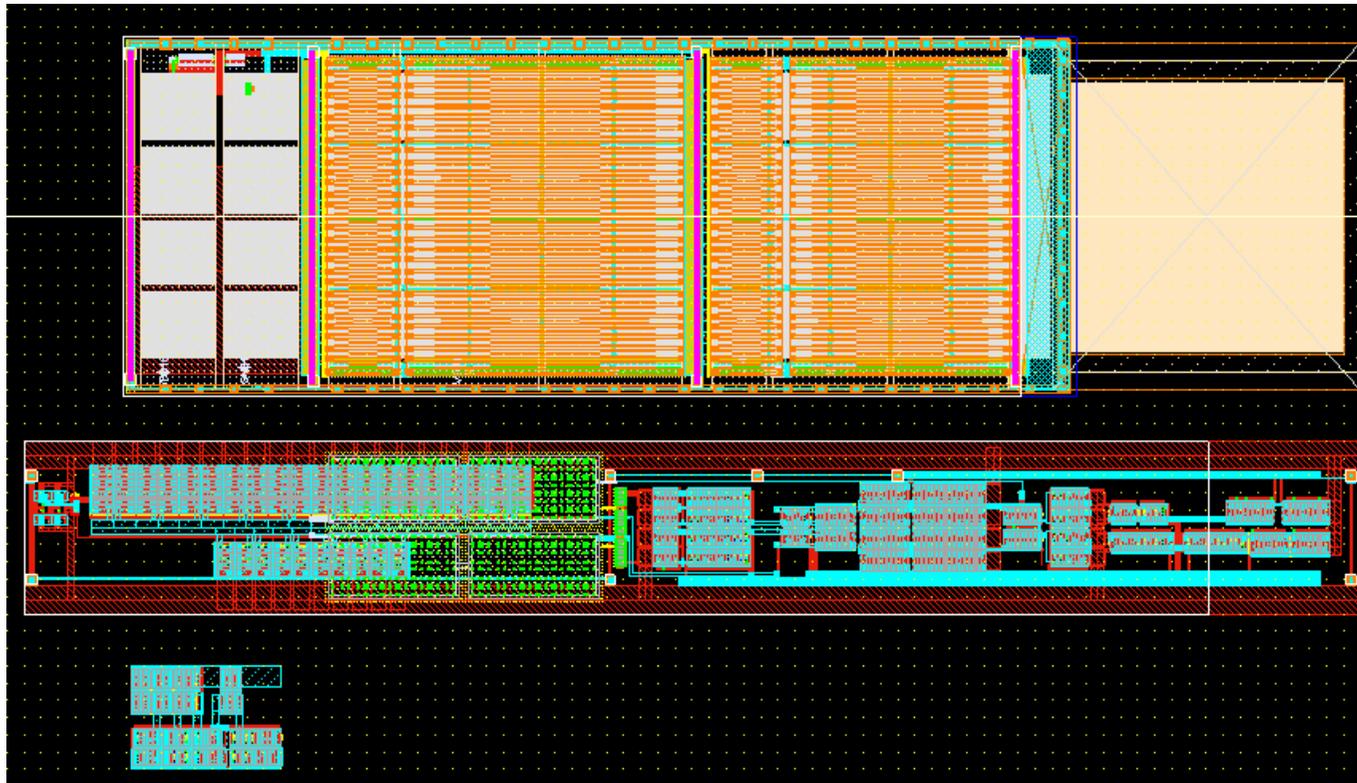


5. Analog Buffer cells

5-3. io_aobufar_1P8 (Layout)

A-R-Tec社製Buffer

Layout



lod_5M4_1P8

ARO_AOBUF18_05AB
_WS_BNWE

ARO_BIAS18_AOB04AB

まとめ

- 3,3V IOLIBから1.8V IOLIBへの変更に伴い、Analog Bufferの駆動能力が下がり、SEABASをドライブするだけの能力が十分無いことがわかった。
- そこで、若干の修正を加え、能力を増強したバッファを作った。
(但し、ESD耐性は下がったと思われる。)
- さらに、高性能なバッファを使いたい方は、A-R-Tec社が作成したバッファの利用を考えると良い。
- 次回MPWランまでに公開する予定。



5. Analog Buffer cells

Simulation回路

