

SOIPIX Sensorを用いたチップ積層3Dプロセス プロセス解説と現状の課題・対応



(株) ディーアンドエス
倉知 郁生

Outline

1. はじめに
3Dチップ積層技術の必要性
2. SOIPIX 3Dチップ積層プロセス
Au μ -Bump
TBVを用いた上層チップ配線
3Dチップ積層プロセス
3. 3Dチップの試作例 SOFIST
4. 3Dプロセスの課題と対応
5. まとめ

Requirements for Detector

“**Simultaneous detection** of hundreds of particle tracks with **micrometer spatial** and **nanosecond timing** precision in **harsh radiation environment** close to the point of their production.”

In preface of L. Rossi, P. Fisher, T. Rohe, and N. Wermes, “Pixel Detectors, From Fundamentals to Applications,” Springer 2006.

- ✓ 空間分解能：数 μm 程度 \Rightarrow ピクセルサイズとして数 $10 \mu\text{m}$
- ✓ 時間分解能：数ナノ秒程度 \Rightarrow ピクセル内の精密なヒットタイマー
- ✓ トラック検出：multiple hit position memory
- ✓ 低物質質量：50-100 μm 程度の薄さ, less bump metal
- ✓ 放射線耐量：up to around MGy

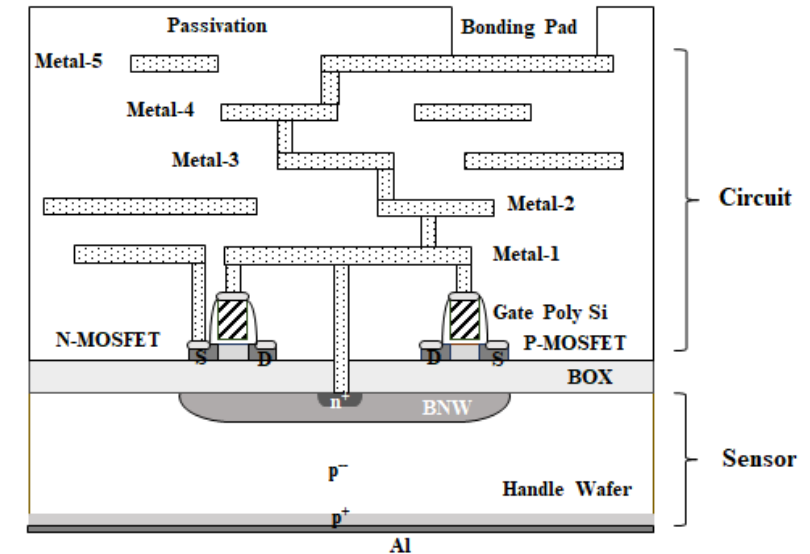
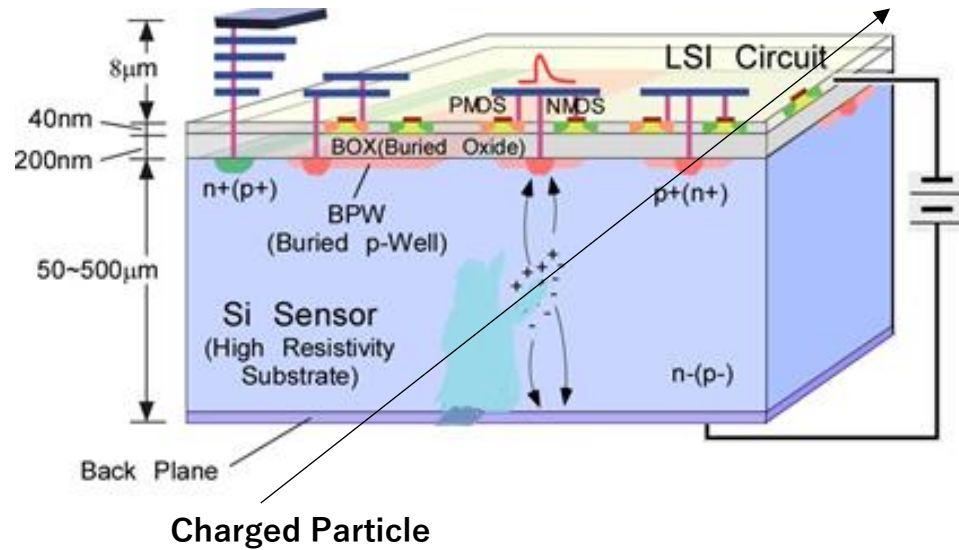
低物質質量で放射線耐性があって、複雑な回路が十分に小さなピクセルに入ったセンサ



これを満足する方法は、**センサ上に回路をスタック**させたセンサ

SOI Monolithic Detector

Monolithic detector using silicon-on-insulator (SOI) technology. Detector chip (handle Si) is electrically connected to readout circuit (SOI layer) by small via fabricated by a conventional LSI process.



Advantages of SOI Monolithic Detector

- Commercial CMOS process to fabricate SOI detector
- Extremely Low material budget (can thin down to 50 μm)
- Easy to embed circuits in pixel
- Low parasitic capacitance

Implementation of requirements in SOI detector

Using SOI pixel sensor technology, around 10 μm pixel size was achieved with embedding an analog amplifier in pixel.

For the vertex detector, multiple hit locations, timing, (and analog signals) must be detected. This requires additional circuits in a pixel.

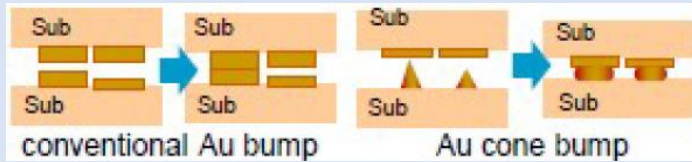
From consideration of circuit layout for these functions, the pixel size must exceed 30 μm and difficult to fulfil the required spatial resolution.



Need chip stacking (3D) technology with an SOI pixel detector chip !!

Candidates for Au μ -Bump

Stable Process
large bonding Margin



low temperature process
less than 200°C

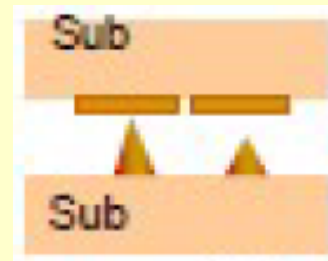
no extrusion



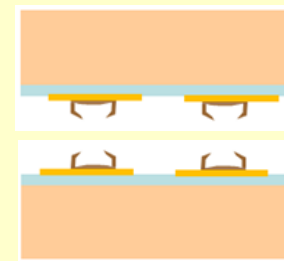
Good in scalability
Bump size must be limited by lithography

Select two candidates for μ -bump

Au Cone Shape μ -Bump

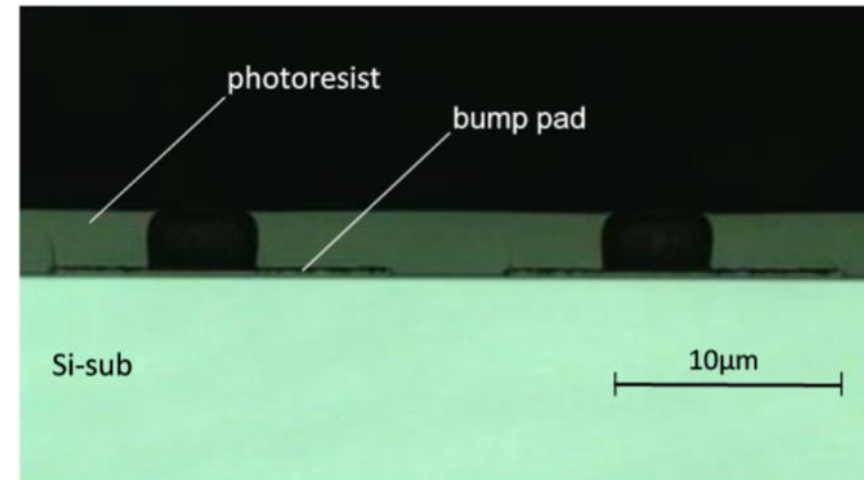
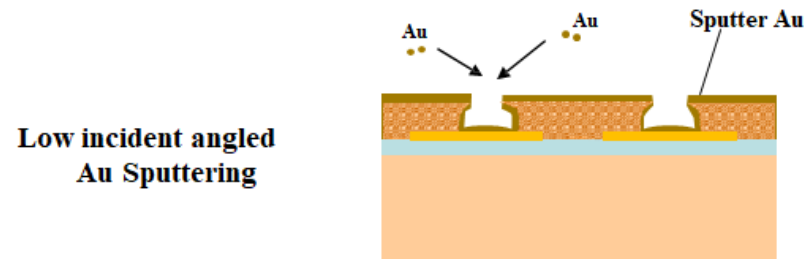
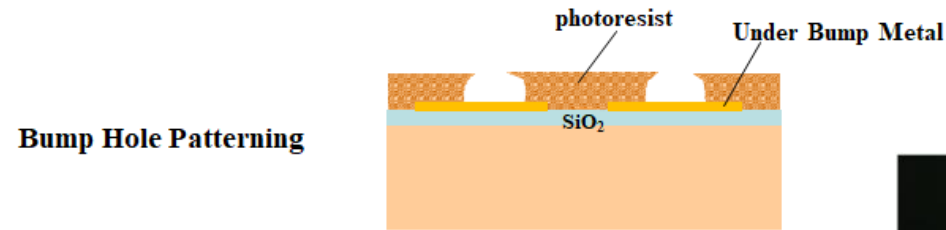


Au Cylinder Shape μ -Bump

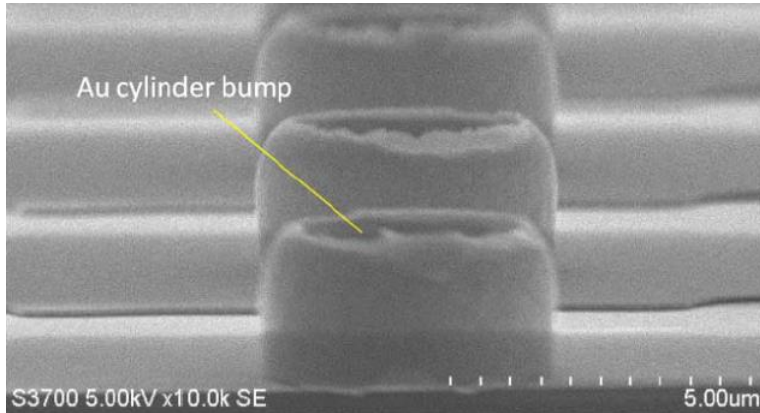


Process Flow of Au Cylinder Shape Bump

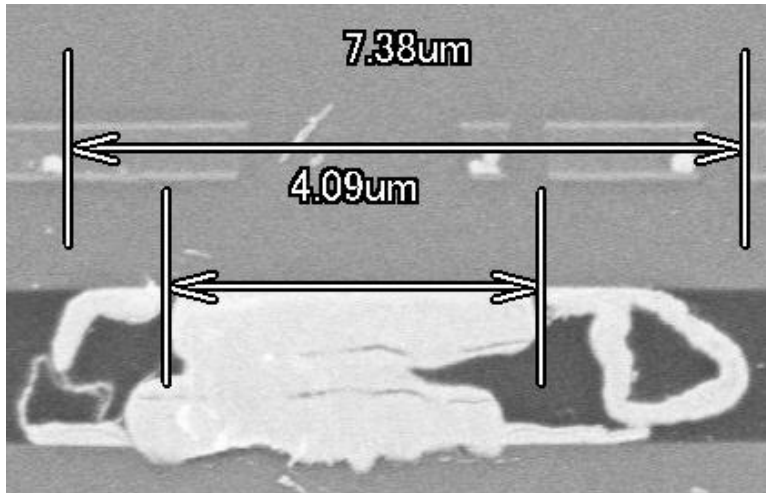
Key Technology : inverse-tapered photoresist
& low incident-angle sputtering



Characteristics of Au Cylinder Shape Bump

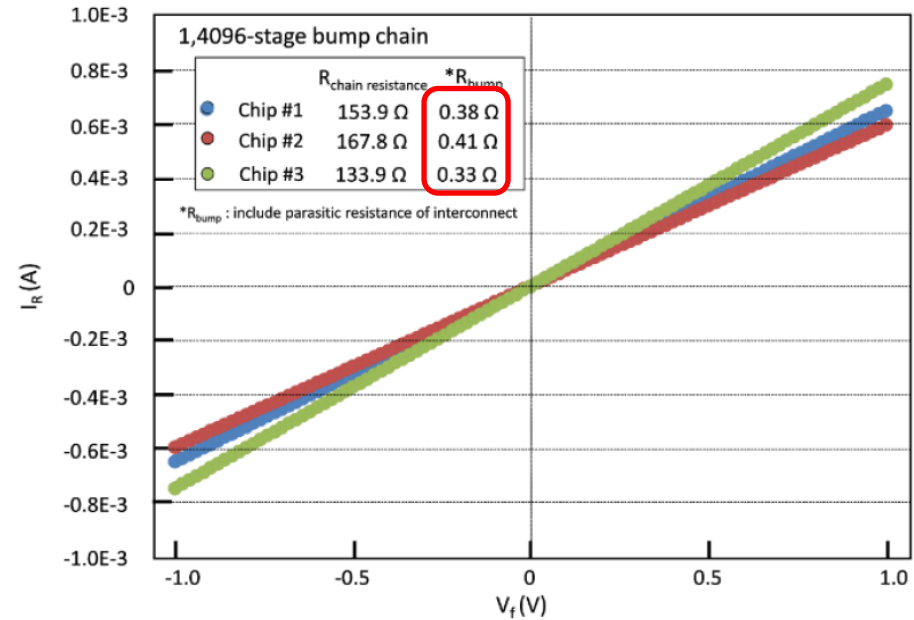


Au Cylinder Shape Bump



Cross section of junction

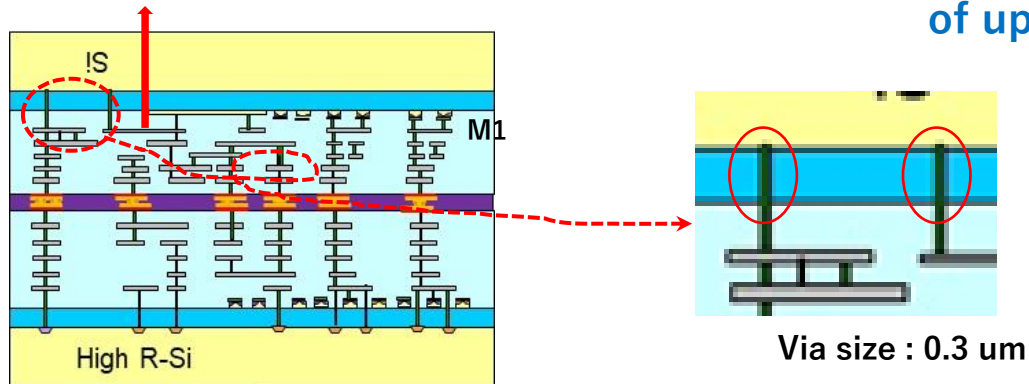
Bump Resistance



Top Side Electrode Formation

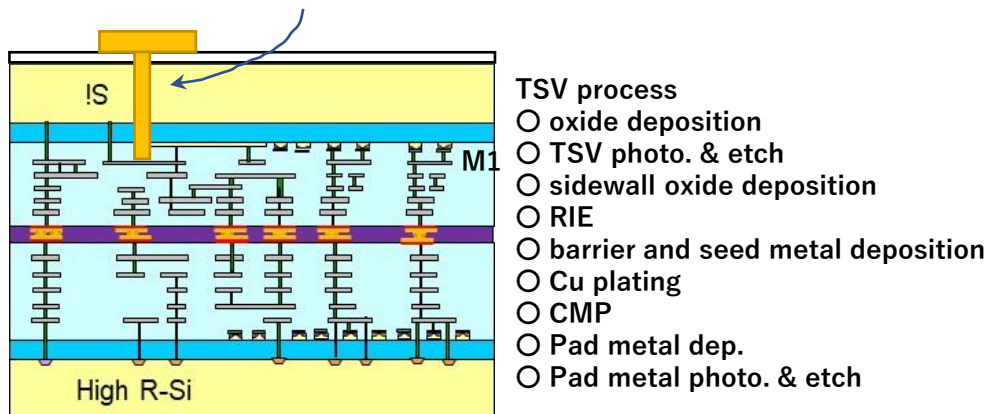
Need to make electrical connection from metal wiring of upper chip to top side.

“Via” already exists in front-end process and can be used as “via” to top side when handle Si of upper chip is etched-off.



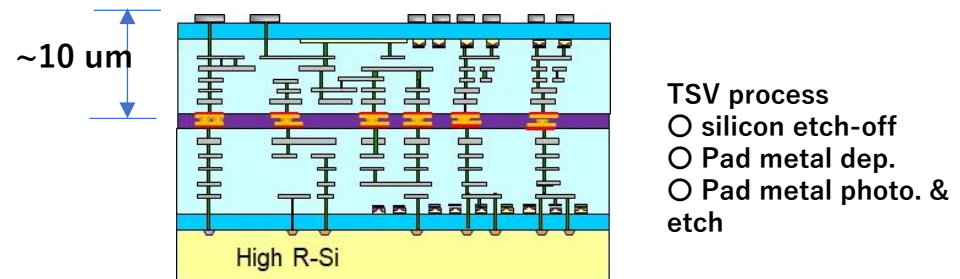
TBV (Through BOX Via)

Conventional Way : TSV (Through Silicon Via)



Via size : few um

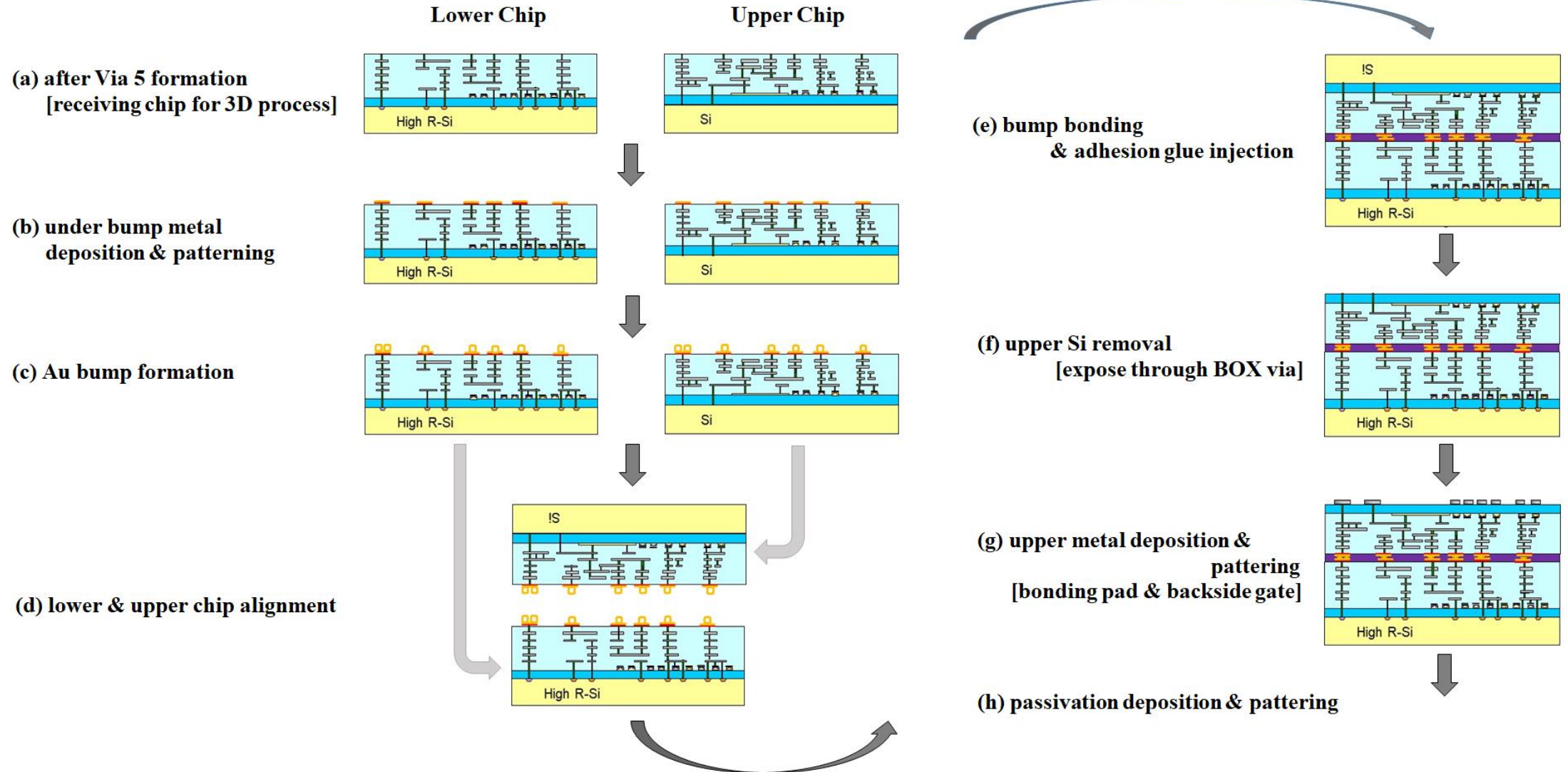
Too much process steps !!
Need extra equipment !!



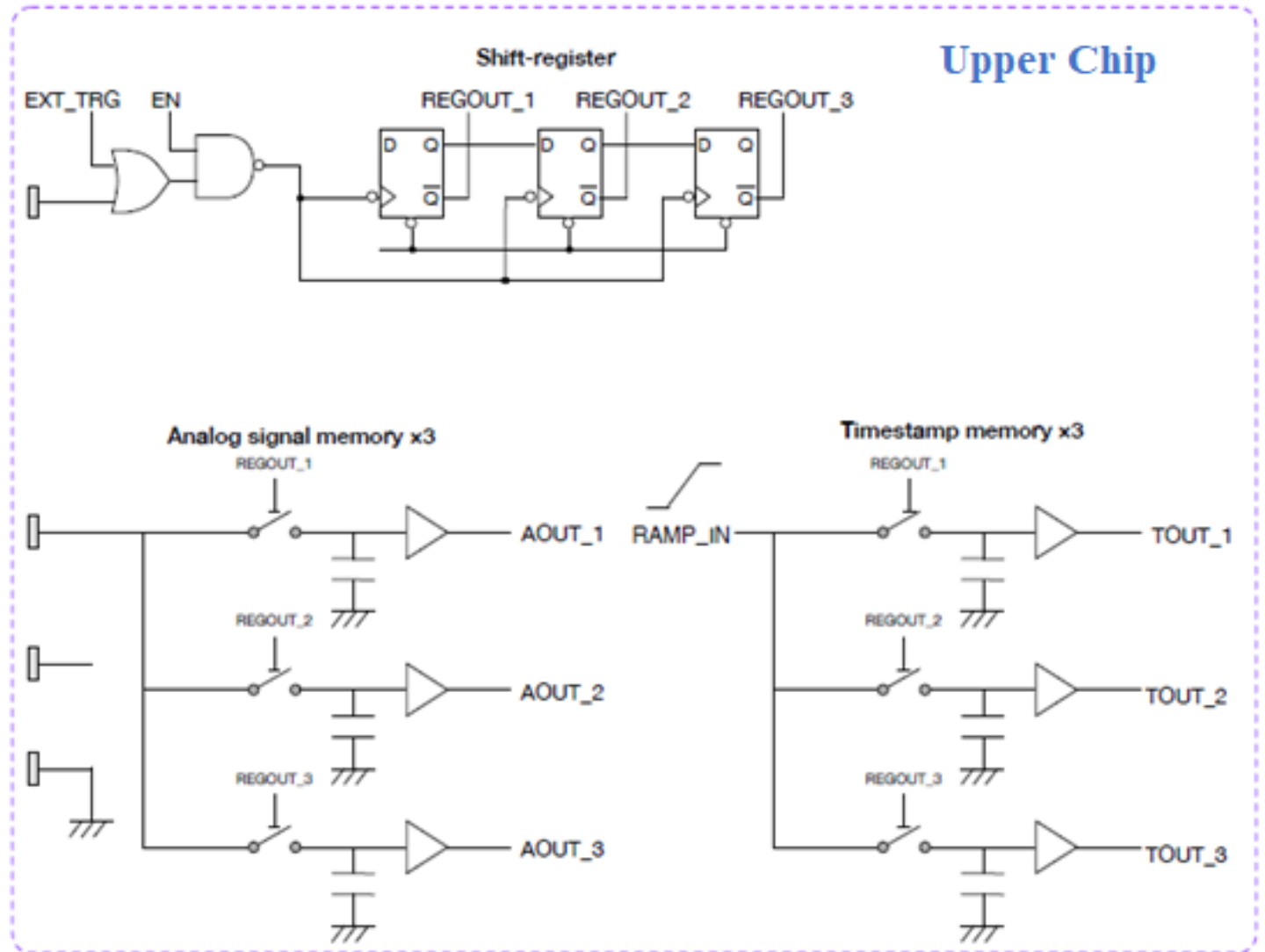
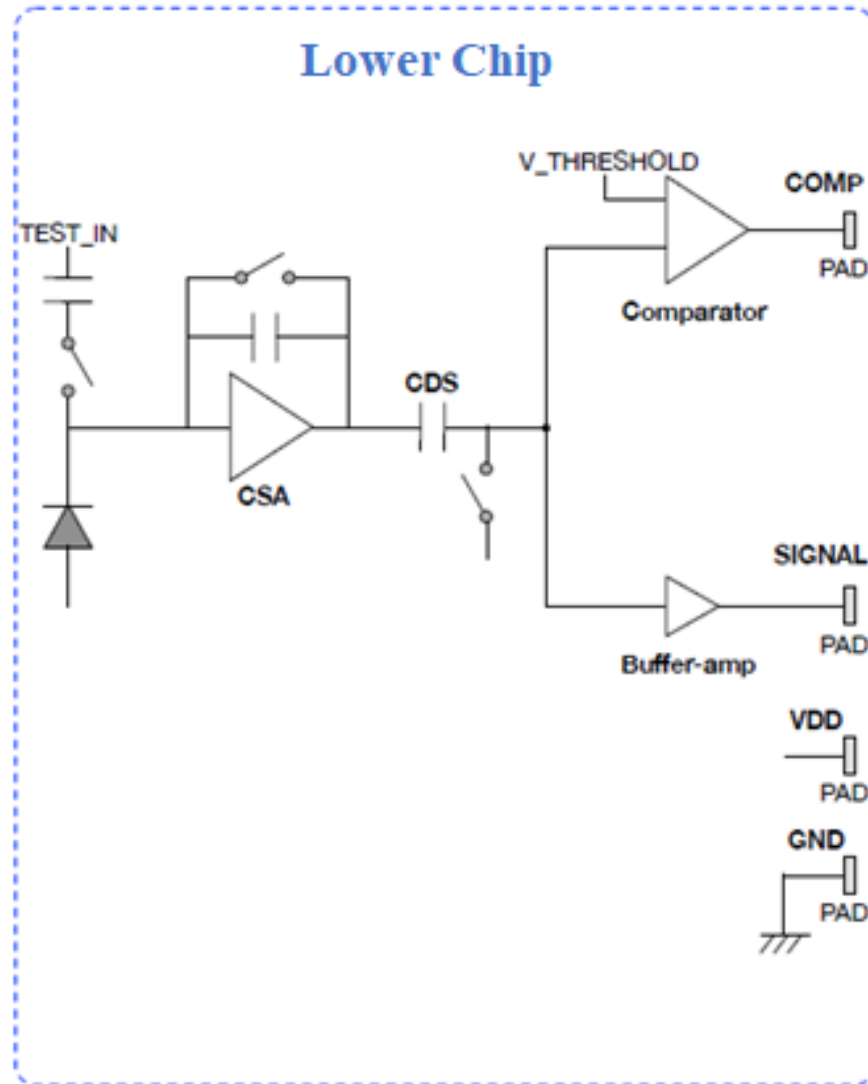
Concerning

- (1) affect MOST characteristics
- (2) contact resistance of TBV

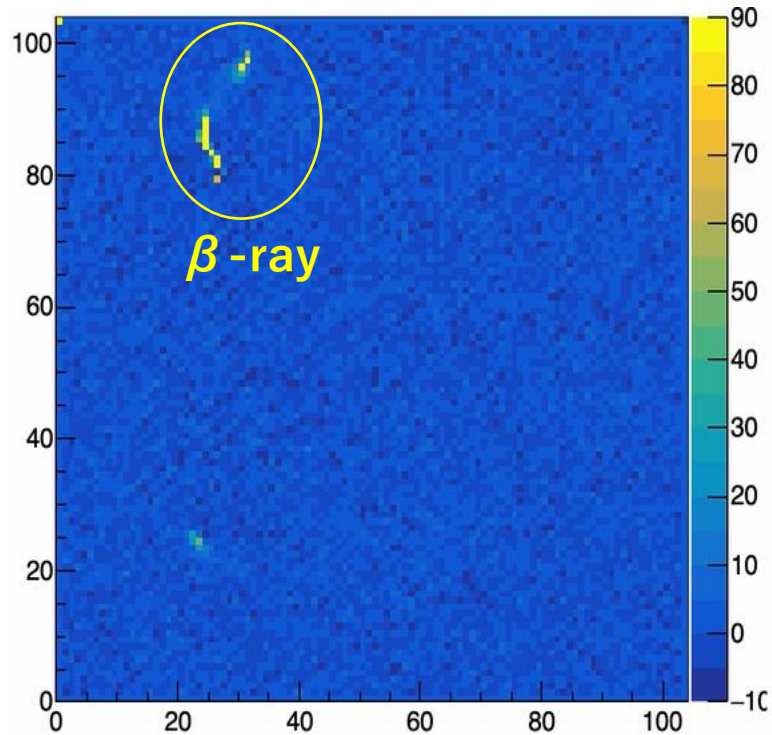
Proposed 3D Process Flow



Pixel Circuit of Vertex Detector (SOFIST)



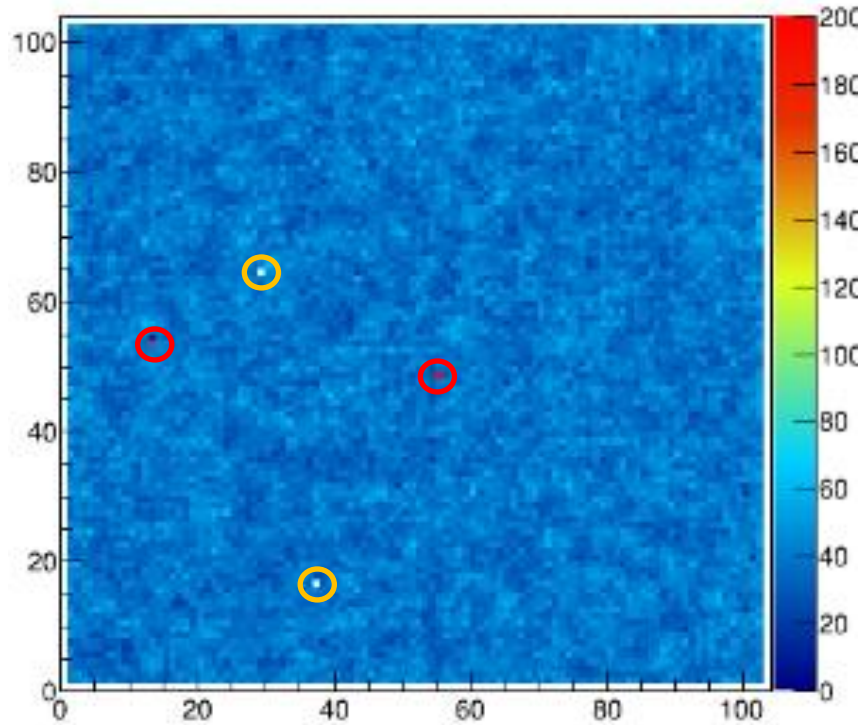
β - ray Track Observation and Bump Yield



102 × 102 pixels

Source : ^{90}Sr

50K event accumulation



of failure pixels : 4 of 102 × 102

$$1 - \frac{4}{102 \times 102} \sim 99.96\%$$

Process Issue in SOFIST 3D Pilot Run

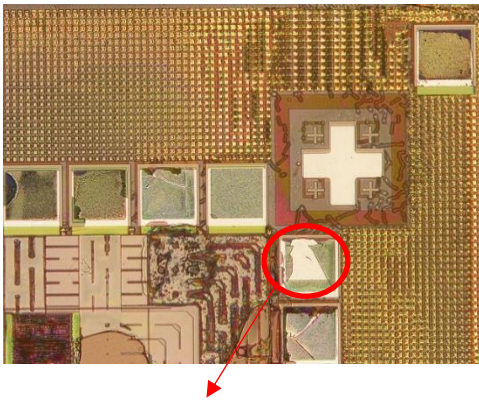
不具合状況

[試作途中で]

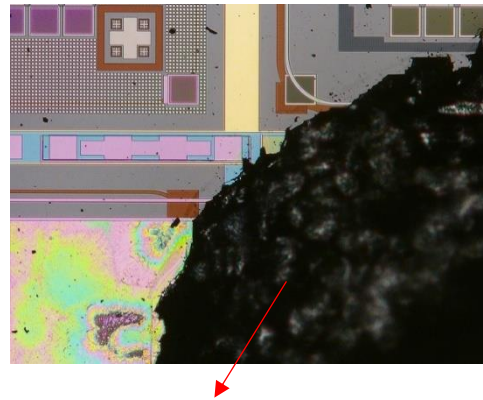
Etchingは恒温槽に導入したのですが(2チップx4組)、恒温槽の奥側2組4チップが**エッチングが進みすぎ**ている状態でした。手前側2組は綺麗にエッチングされています。手前側2組4チップのうち、チップ周辺部の**Si残り**が激しいためAlPad作成・パッシベーション開口ができないサンプルが2チップあります。

[問題は、予測すると。。。]

⇒同一槽処理でも、オーバーエッチによるBOXダメージ、アンダーエッチによるSi残りが混在してしまっている。



BOXがはがれてM5の裏面が見えている？



チップ周辺に大きなSi残り

Sample

- #1 ダミーサンプル、オーバーエッチング
- #2 ダミーサンプル、オーバーエッチング
- #3 良品サンプル、オーバーエッチング、チップ上Si残り(重度)
- #4 良品サンプル、オーバーエッチング、チップ上Si残り(重度)
- #5 良品サンプル、エッチングジャスト、チップ周辺部Si残り(重度)
- #6 良品サンプル、エッチングジャスト、チップ周辺部Si残り(重度)
- #7 良品サンプル、エッチングジャスト、チップ上Si残り(軽度)
- #8 良品サンプル、エッチングジャスト、チップ上Si残り(軽度)

Si除去工程でマージンがないということなのか？

Process Margin in Si Etching and counter measure

まずは、安定に処理するためにコントロールしなければならない温度範囲を定義。

計算の仮定

エッチングしなければならないSi厚は300 μm

Si厚ばらつきは10%以内とし、オーバーエッチを10%

KOH濃度20%

薬液温度 35°C

要求条件

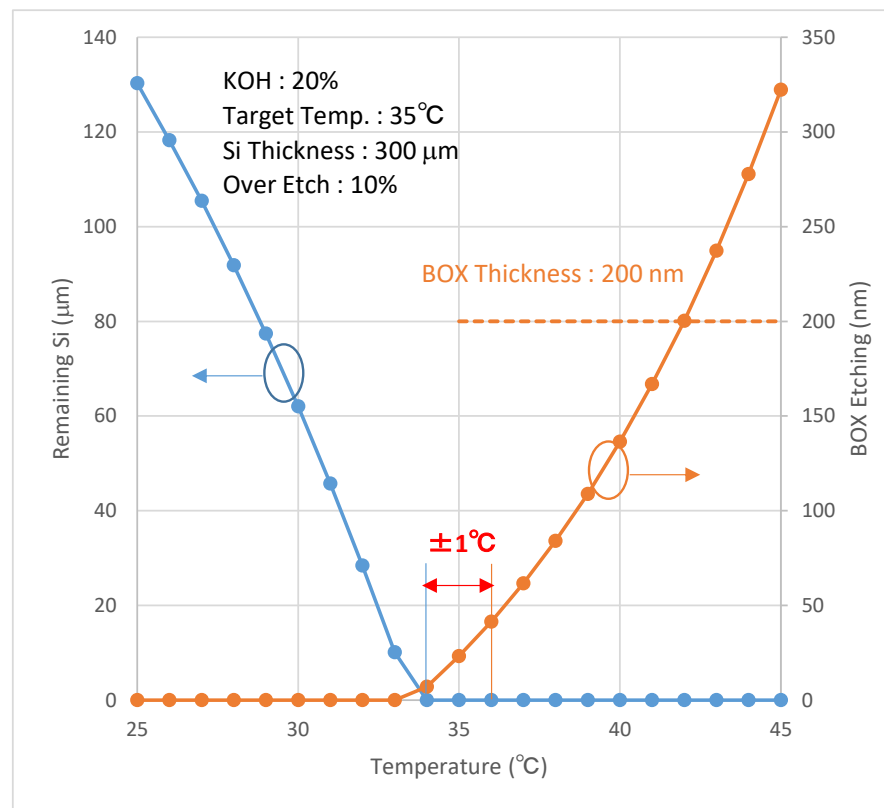
Si残りが無いこと

BOX削れ量が50 nm以下であること



温度コントロールは $\pm 1^\circ\text{C}$ で行う必要がある。

槽内温度コントロールされていない今回の処理で、処理場所でオーバーエッチングによるBOXへのダメージ、アンダーエッチングによるSi残りが同時に発生してもおかしくない。



これはコントロールが難しいと判断

現在ドライエッチングでの試作を実施中 (IHEPの試作)

Summary

現状対応可能なSOIPIXでの3D chip stacking processに関して説明
プロセス面でマージン少ないSi除去をWet→Dry Etchingで再プロセス中

本試作をもってSOIPIX 3Dプロセスをfixさせたい。

今後、皆様でもご活用をご検討いただければ。

3DプロセスはT-Micro様で対応いただけることになっております。
ご希望あればご紹介いたします。

異種材料チップでのスタックという可能性もあります。(Scipix?)

必要性があれば専用ラインをどこかで持つということもないのか？(個人的な意見)