

J-PARC muon $g - 2$ /EDM実験における フロントエンド基板の開発

9/24-27 Flavor Physics Workshop 2025
新潟大学 高エネルギー物理学研究室 修士1年
村田 幸晴

ミューオン $g - 2$ /EDM

ミューオン $g - 2$

- ✓ 粒子が持つ固有磁気モーメント $\vec{\mu}$

$$\vec{\mu} = g \left(\frac{e}{2m_\mu} \right) \vec{s}$$

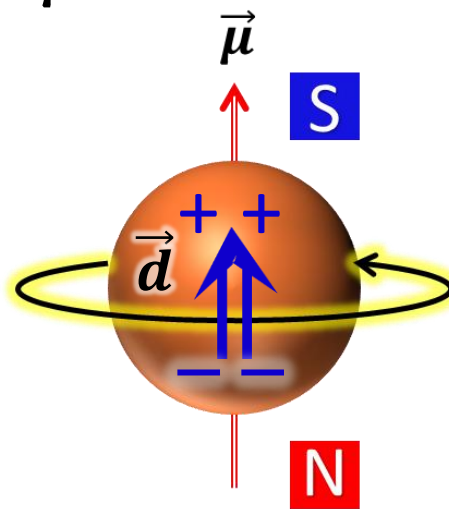
e : 電荷 m_μ : 質量

- ✓ ミューオンの g 因子の値

- Diracの理論によると $g = 2$
- 量子効果を含めると $g > 2$

- ✓ 異常磁気モーメント a_μ

- g 因子の2からのズレを表す
- 標準模型を越えた物理が、 $g - 2$ の値に影響を与える



$$a_\mu \equiv \frac{g - 2}{2}$$

ミューオン EDM

- ✓ 電気双極子モーメントEDM $\vec{d}$

$$\vec{d} = \eta \left(\frac{e}{2m_\mu c} \right) \vec{s}$$

- 粒子内部の電荷の偏りを示す
- η がEDMの大きさを表す (g 因子に相当)
- $\eta \neq 0$ のとき、時間反転対称性を破る
- CPT定理を仮定すると、CP対称性が破れる

$g - 2$ の測定方法

- ✓ ミューオンのスピンは磁場中で歳差運動を行う
- ✓ スピンの歳差運動とサイクロトロンの運動の差のことを**異常歳差運動**と呼び、以下の角速度 $\vec{\omega}_a$ で表される

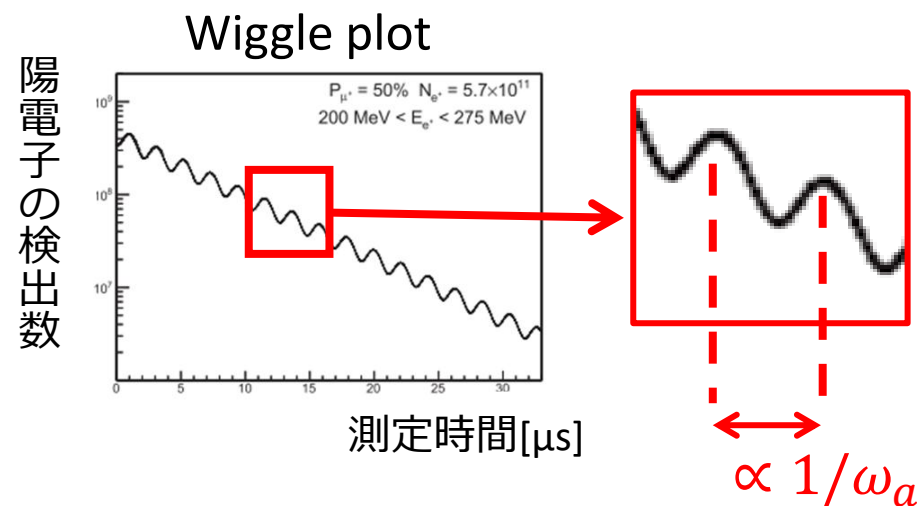
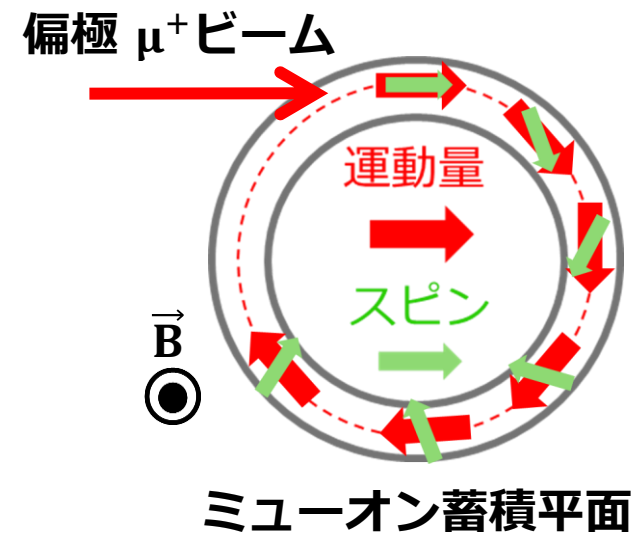
$$\vec{\omega}_a = \vec{\omega}_{\text{spin}} - \vec{\omega}_{\text{cyclotron}} = -\left(\frac{g-2}{2}\right)\frac{e}{m}\vec{B} = -a_\mu\frac{e}{m}\vec{B}$$

- ✓ 異常歳差運動の周期(ω_a)とミューオンが感じる磁場(B)を測定することで、異常磁気モーメント(a_μ)を求める。

- $g > 2$ なので、スピンが少し速く回転する

- ✓ 高運動量の陽電子はミューオンのスピンと運動方向が揃った時に出やすい

- ミューオンの崩壊から生じた高運動量の陽電子を検出することで、異常歳差運動の周期を求めることができる

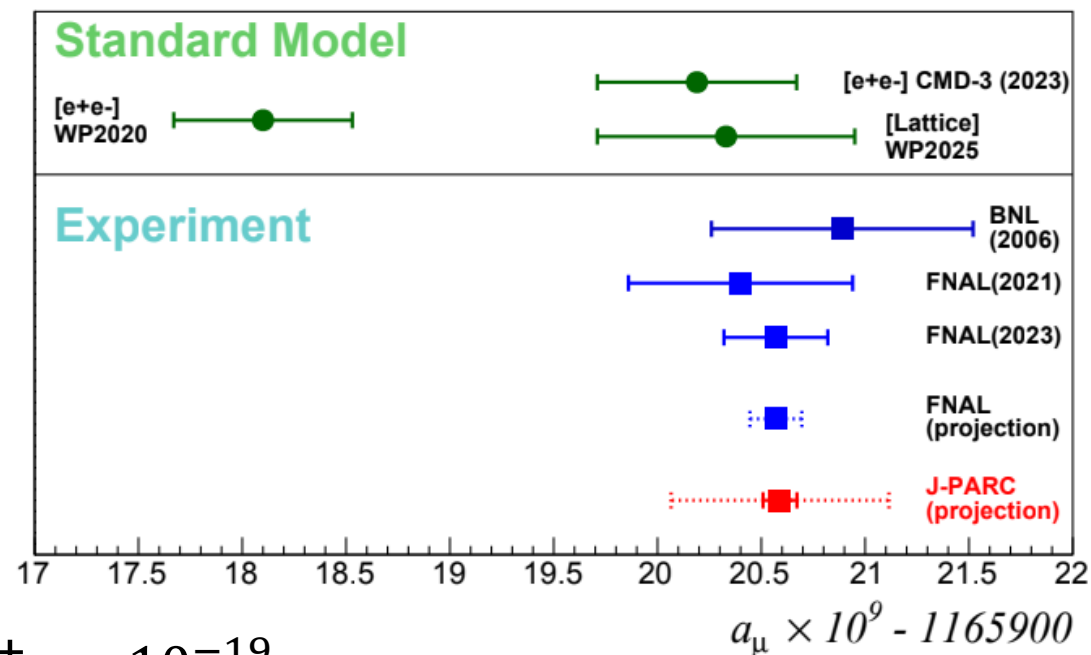


J-PARC muon $g - 2$ /EDM実験の背景と目的

実験背景

- ✓ 格子QCDを用いたミューオン $g - 2$ の計算値は、これまでの実験値と誤差の範囲内で一致
しかし、 $e^+e^- \rightarrow \pi^+\pi^-$ 断面積の実験値を用いた理論計算とは、約 5σ の乖離が生じている
- ✓ これまでのmuon $g - 2$ の測定(BNL, FNAL)では、同様の装置と手法が用いられた
- ✓ これまでのミューオンのEDM探索の実験上限値は、 $\sim 10^{-19} \text{e}\cdot\text{cm}$

$g - 2$ の標準理論値予測と実験値



目的

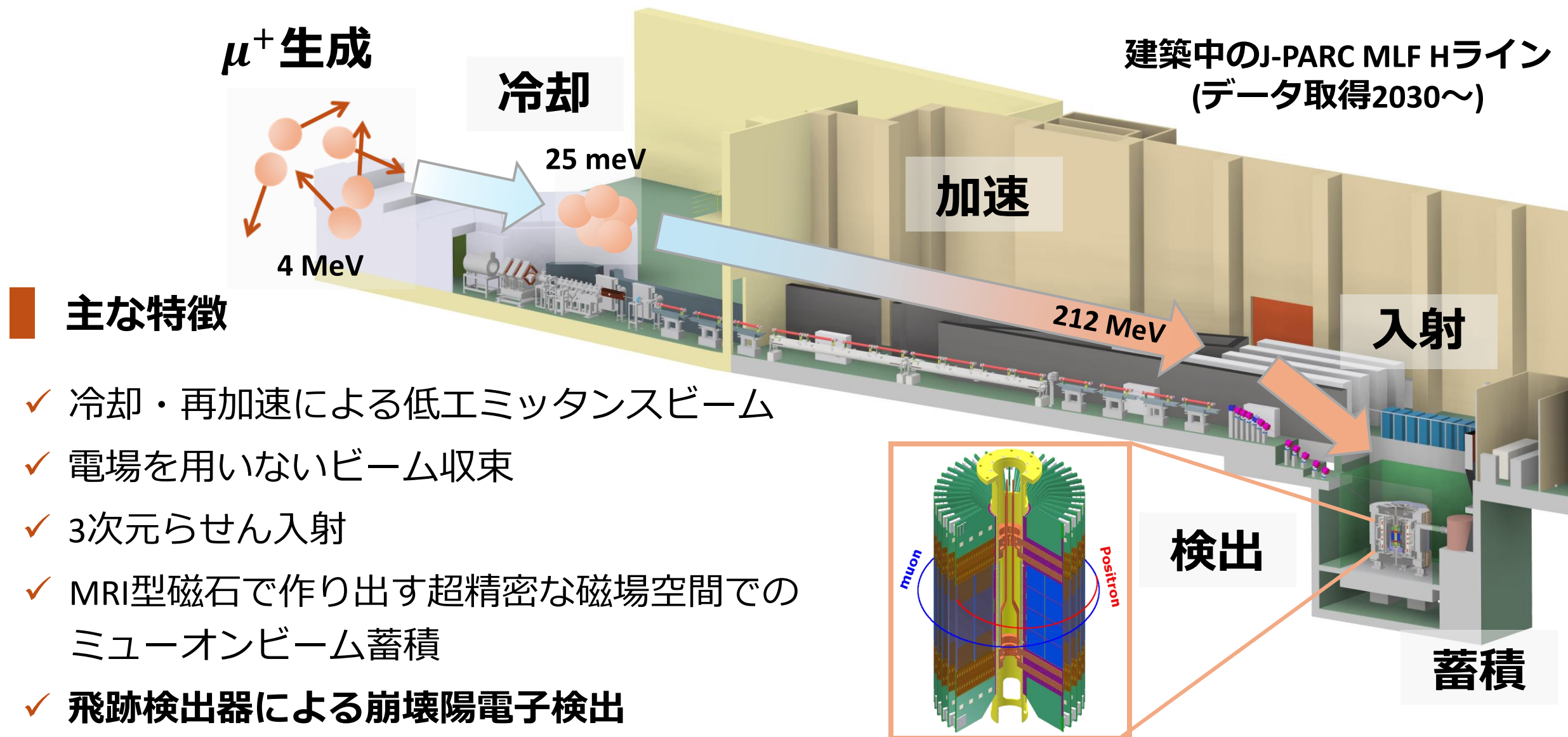
新手法でのミューオン $g - 2$ の独立測定と、世界最高感度でのミューオンEDM探索により、標準理論を越える新物理の兆候を探る

目標精度

$g - 2$
0.45 ppm $\rightarrow$ 0.1 ppm

EDM
 $< 10^{-21} \text{e}\cdot\text{cm}$

J-PARC muon $g - 2$ /EDM実験の特徴

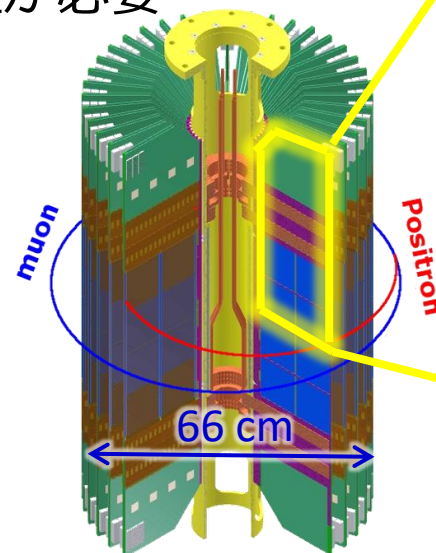
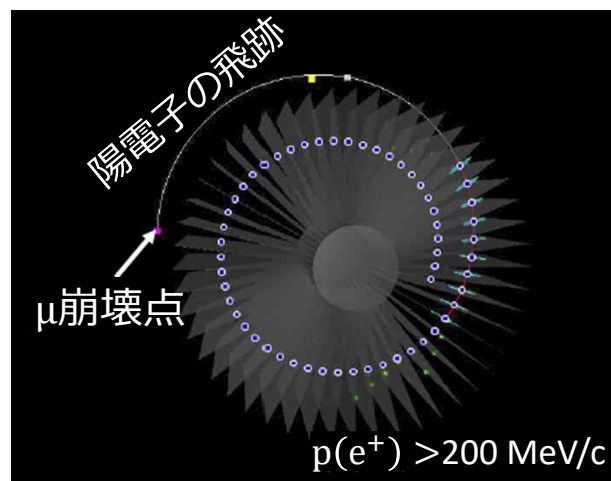


陽電子の検出

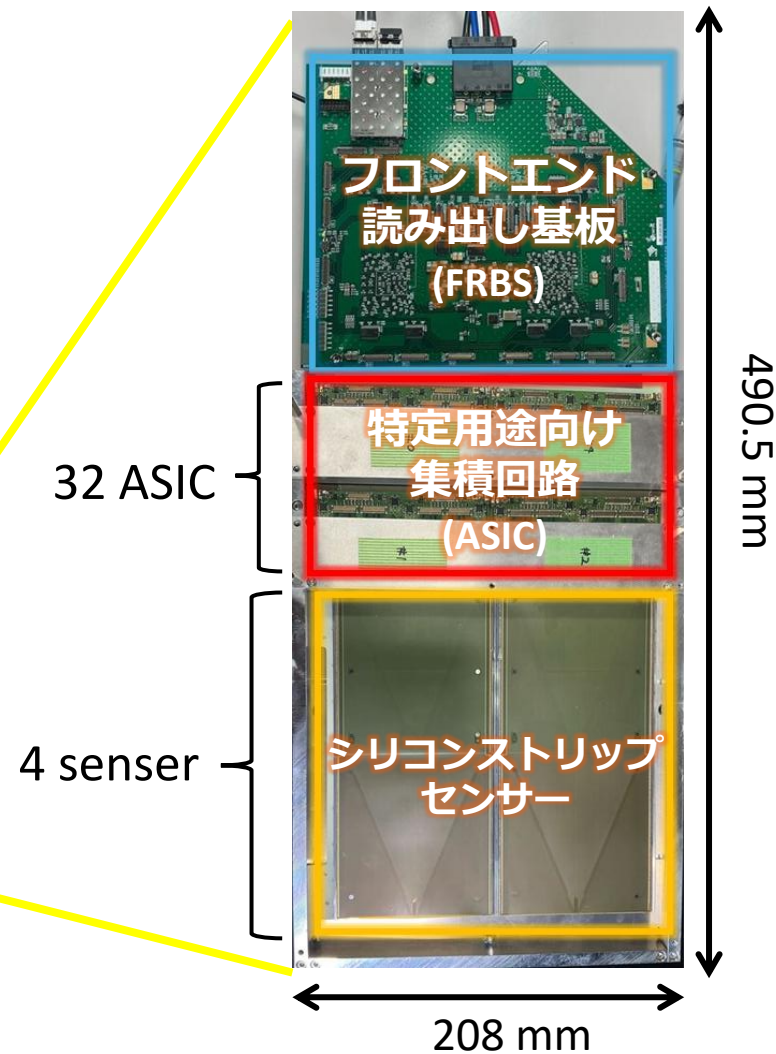
陽電子飛跡検出器

- ✓ ミューオンの崩壊から生じる陽電子を検出する
 - ・シリコンストリップセンサーが貼られたベーンモジュール40枚を放射状に配置し、陽電子の飛跡を検出する
 - ・陽電子エネルギー200~275 MeVの範囲で検出
 - ・1nsあたり最大6個のミューオンが崩壊
 - ・ヒットレート変動（約150倍）に対する安定性が必要

検出点から
陽電子の飛跡を
再構成するイメージ



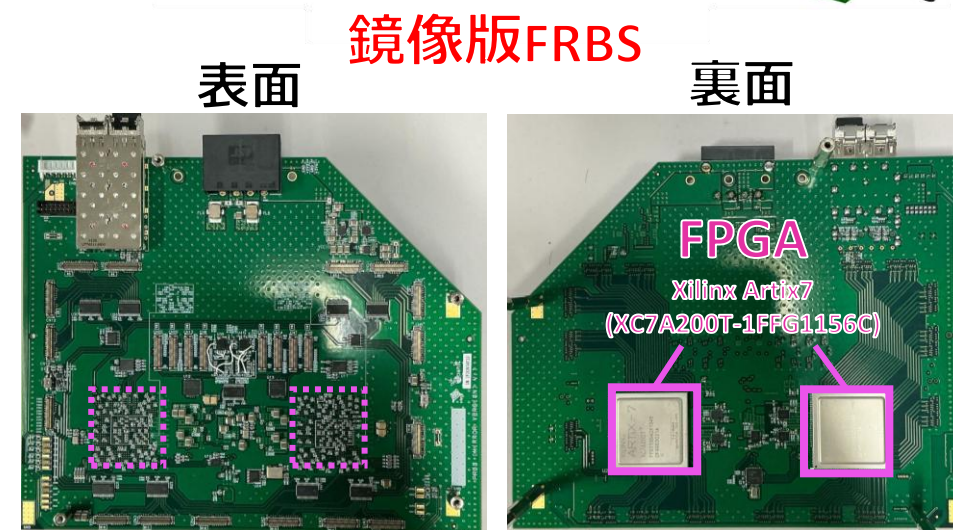
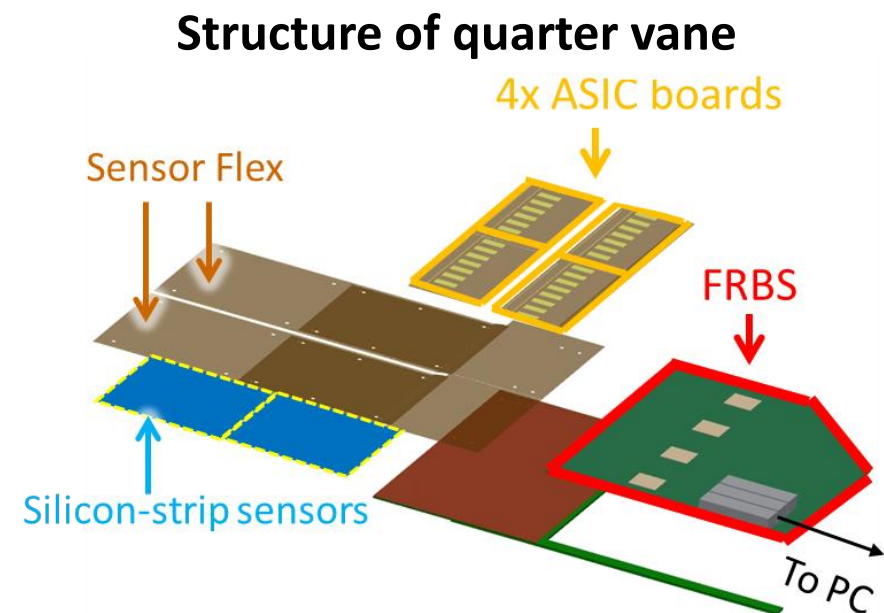
クォーターベーンモジュール



フロントエンド基板

FRBS (FPGA-based Readout Board for SiT)

- ✓ FRBSでは、32個のASICから送られてきたデータを2個のFPGAで処理し、SiTCPでデータをPCへ転送する。
- ✓ 1つのベーンには、2種類のFRBSが必要
 - ① **非鏡像版FRBS** (2021年製作)
 - ・ 基本的な機能が正しく動作していることは確認済み
 - ・ FRBS上で生成するテストパルスの波形について課題が見つかった
 - ② **鏡像版FRBS** (2024年製作)
 - ・ データ読み出しの動作確認及び、改良したテストパルス生成回路での動作確認を行った

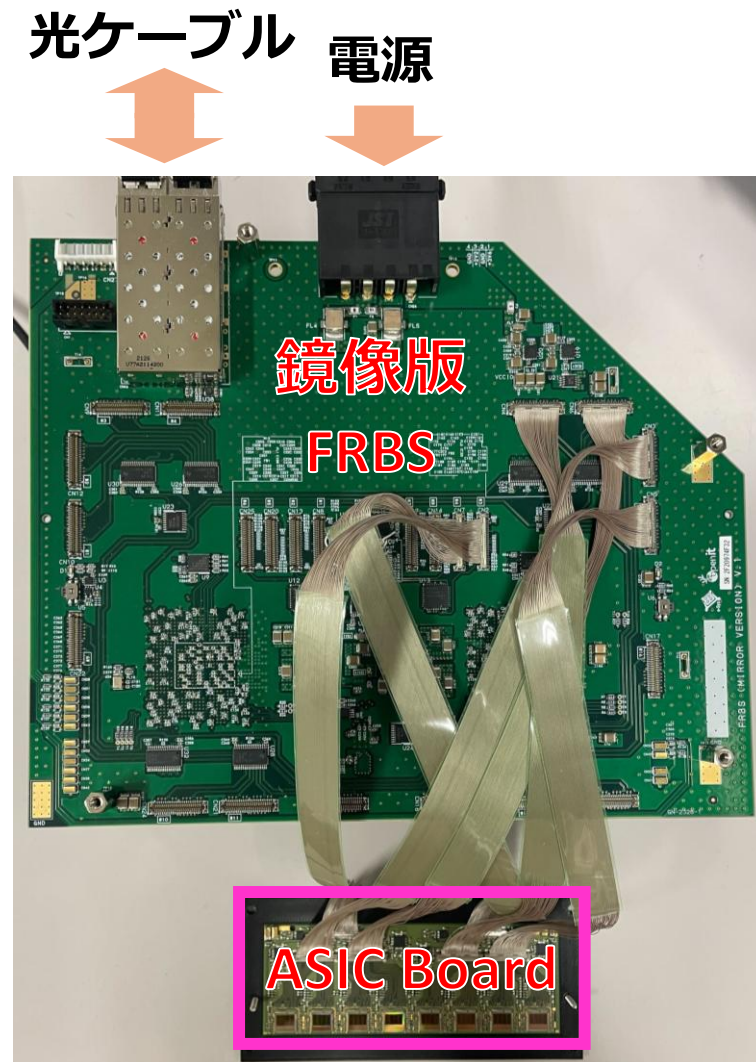
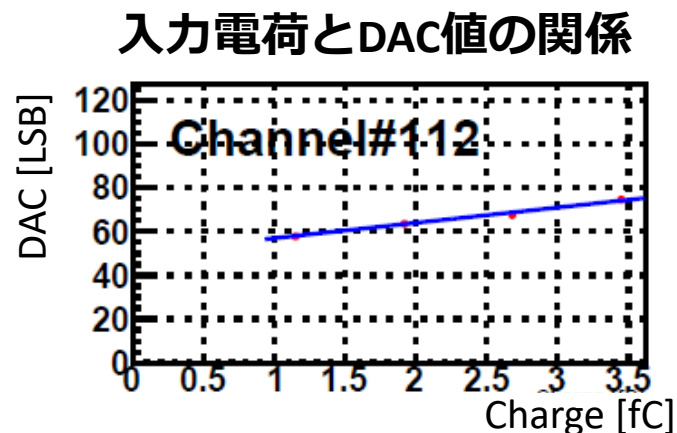
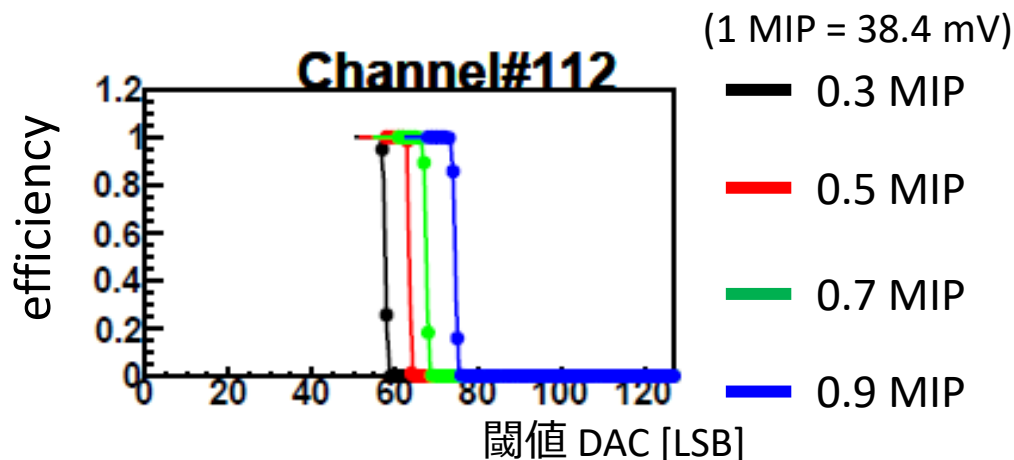


鏡像版FRBSでのデータ読み出し動作確認

- ✓ 鏡像版FRBSとASICを接続して較正(S-curve Scan)を実行した
- ✓ deadチャンネルを除く全ての接続チャンネルで適切にデータ読み出しができることを確かめた

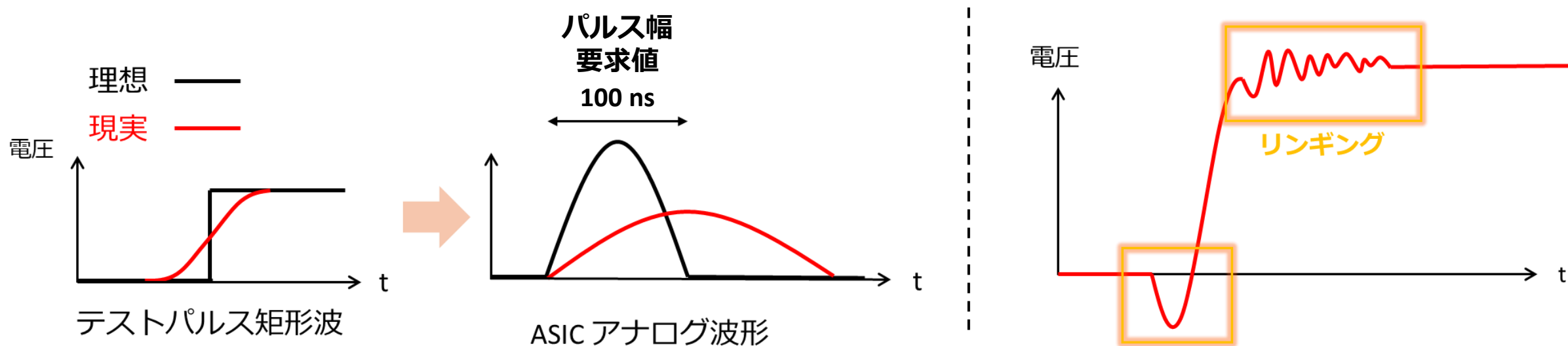
S-curve Scan

- ・ 各入力チャンネルに電荷量が既知のテストパルスを入力
- ・ 閾値電圧を変えたときの、閾値電圧を越える信号の割合の変化を誤差関数でフィットすることで、チャンネルごとにノイズ、ゲインを決定する



テストパルスに対する要求

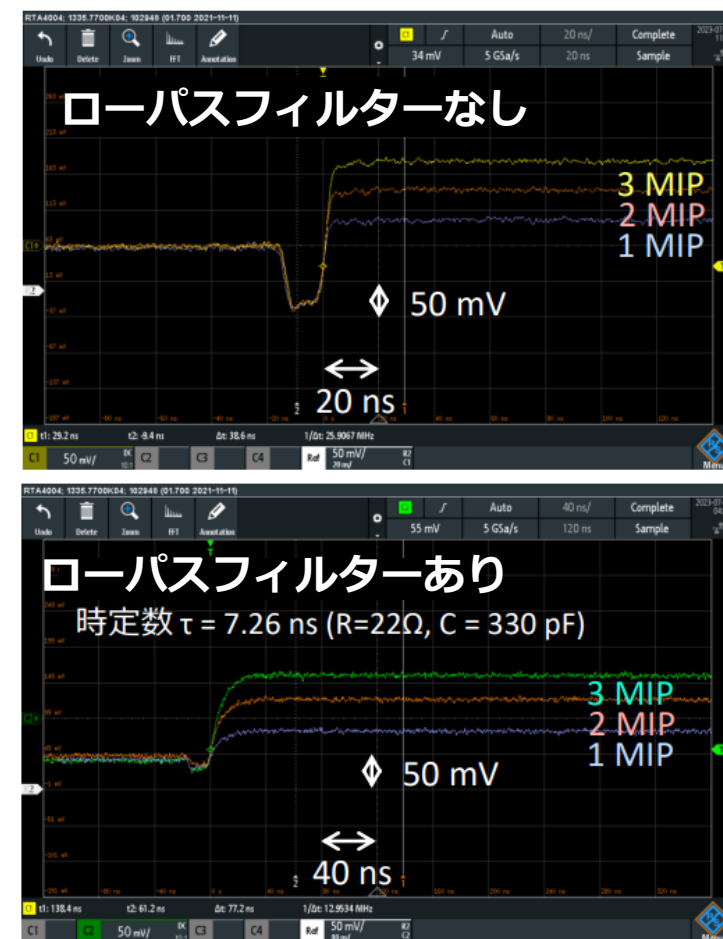
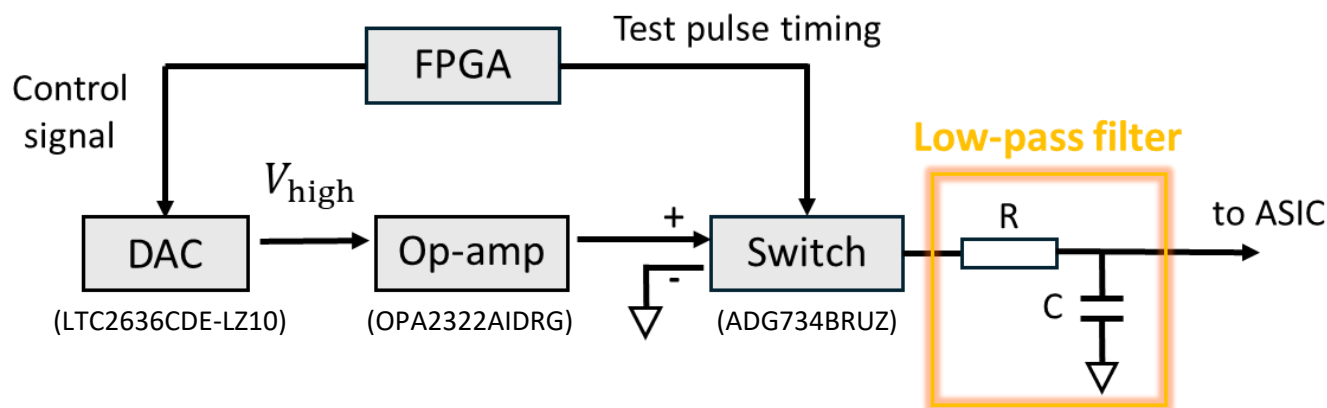
- ✓ ASICのキャリブレーションには、FRBS上で生成した矩形波のテストパルスを使用する
 - ・ 1 MIPは波高38.4 mVの矩形波に相当する
- ✓ 理想的なテストパルス矩形波は立ち上がり時間が短く階段関数のような形
 - ・ 立ち上がり時間がパルス幅100 nsよりも十分に短い必要(10 ns程度)がある
 - ・ 入力電荷量がASICの較正(time walk評価)に必要な0.5～3.0 MIPの範囲で調節可能である必要がある
 - ・ 波形の乱れ（アンダーシュートやリングングなど）が発生しないように回路を設計する必要がある



スイッチICとDACを用いたテストパルス生成回路

非鏡像版FRBSでのテストパルス生成回路 Ver1

- ✓ 非鏡像版FRBSでは、スイッチICで矩形波の形状を作り、DACで矩形波の波高を設定していた
 - ・ 立ち上がり前に、大きなアンダーシュートが発生してしまう
- ✓ ローパスフィルタを入れることでアンダーシュートは低減
 - ・ しかし、ローパスフィルタの特性により、立ち上がり時間が長くなってしまう(~30 ns)



FPGA出力と抵抗分割を用いたテストパルス生成回路

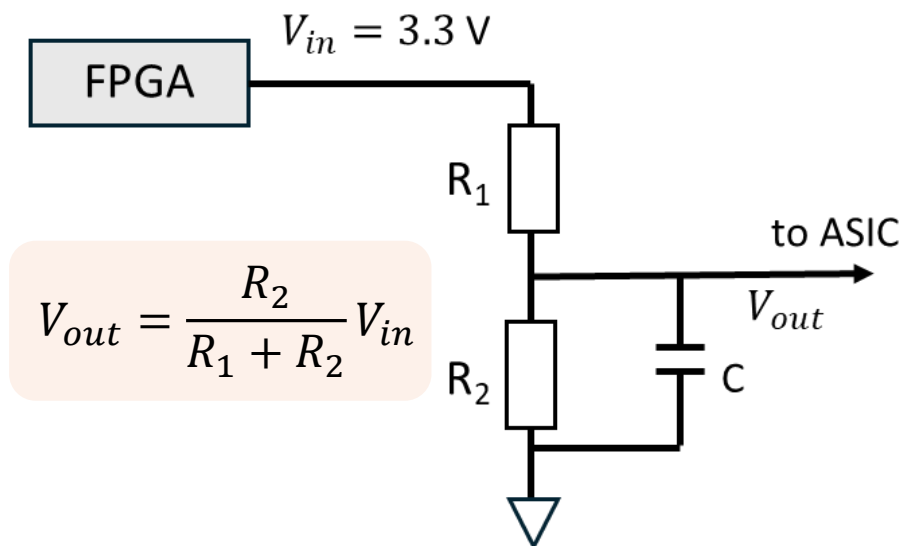
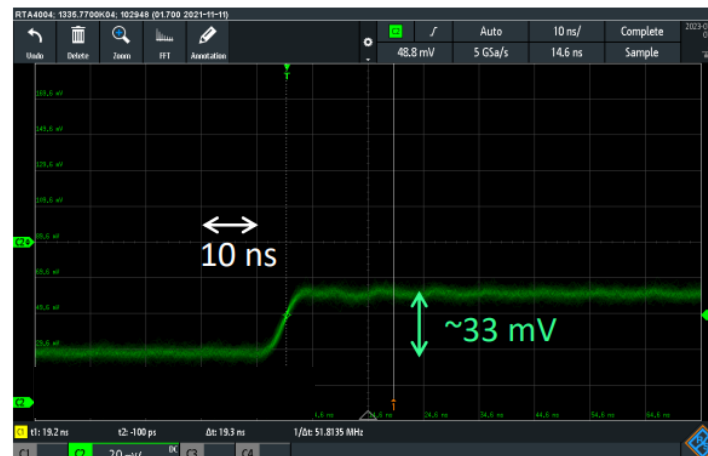
非鏡像版FRBSでのテストパルス生成回路 Ver2

- ✓ 矩形波の形状をスイッチICからFPGA出力(LVCMOS33)に変更した
- ✓ 矩形波の波高はDACから抵抗分割による調節に変更した
- ✓ バイパスコンデンサを用いることで、立ち上がり時間が短く(～10 ns)、波形の乱れもないテストパルス波形を生成することができた → 鏡像版FRBSでもこの形式を採用

パスコンなし(C = 0 pF)



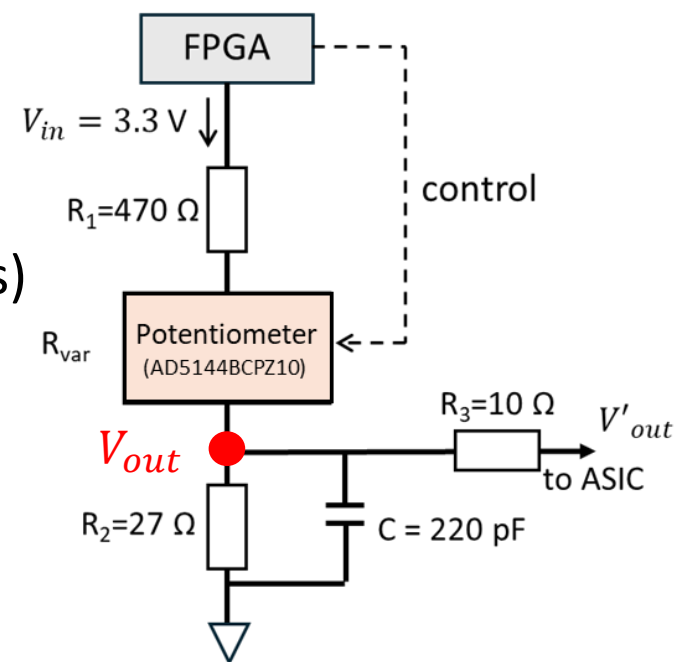
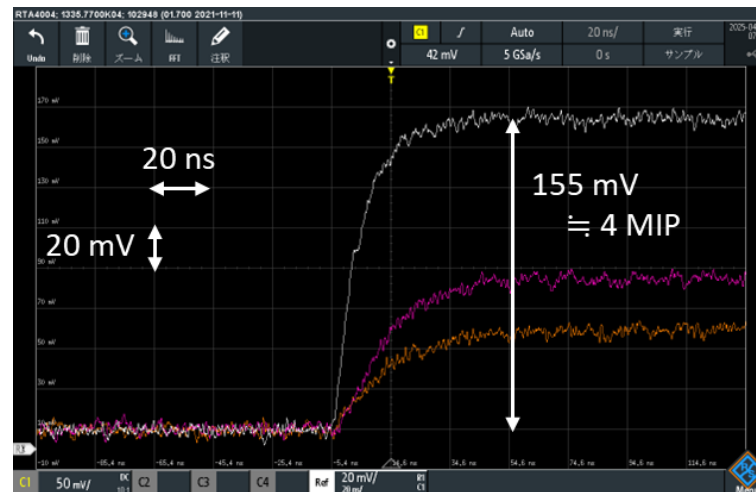
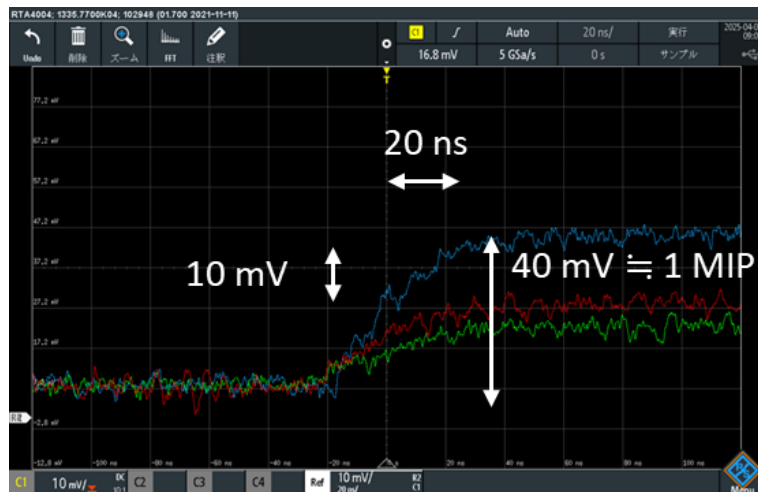
パスコンあり (C = 220pF)



デジタルポテンシオメータを用いたテストパルス生成回路 12

鏡像版FRBSでのテストパルス生成回路

- ✓ FPGAからの出力を、抵抗分割とデジタルポテンシオメータを組み合わせ、任意の電荷の大きさに出力できるようにした
- ✓ ASIC基板の性能評価に必要な出力電荷量をカバーする
0.3~4.0 MIPの範囲で出力調整が可能
- ✓ 非鏡像版FRBSの時と比較するとやや立ち上がり時間が長い(~20 ns)



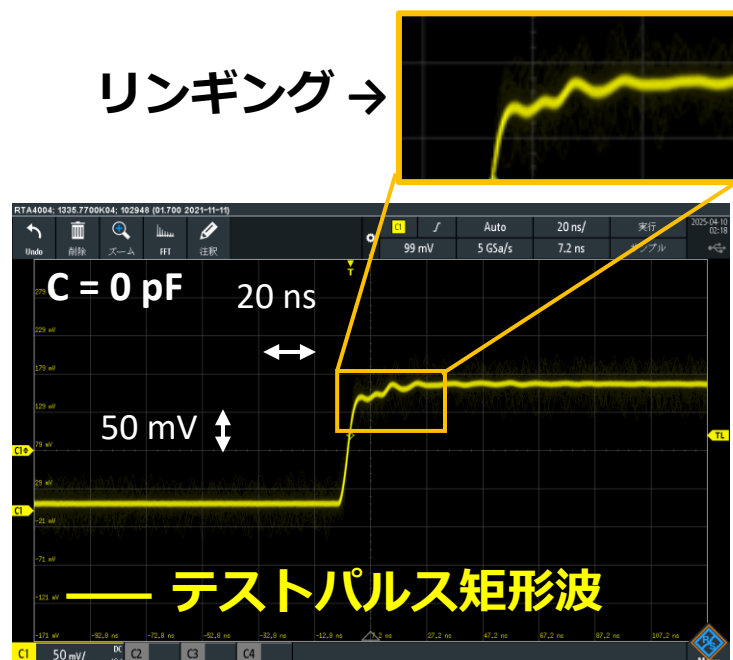
$$V_{out} = \frac{R_2}{R_1 + R_{var} + R_2} V_{in}$$

バイパスコンデンサの容量による波形の違い

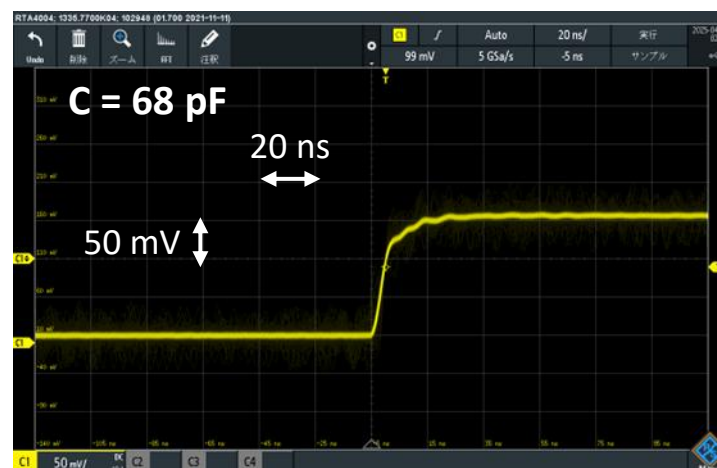
✓ 容量の異なるバイパスコンデンサで波形を比較した

- ・ 立ち上がり時間は、パスコン容量を小さくすることで、短くなることが確認できた
- ・ リンギングは、パスコンをつけることで改善された

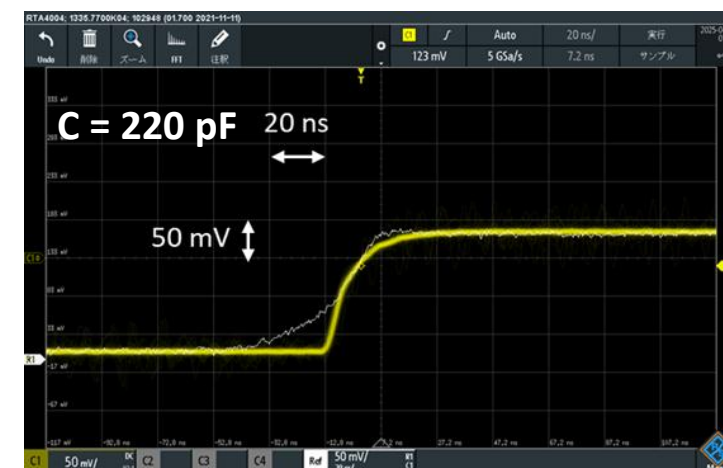
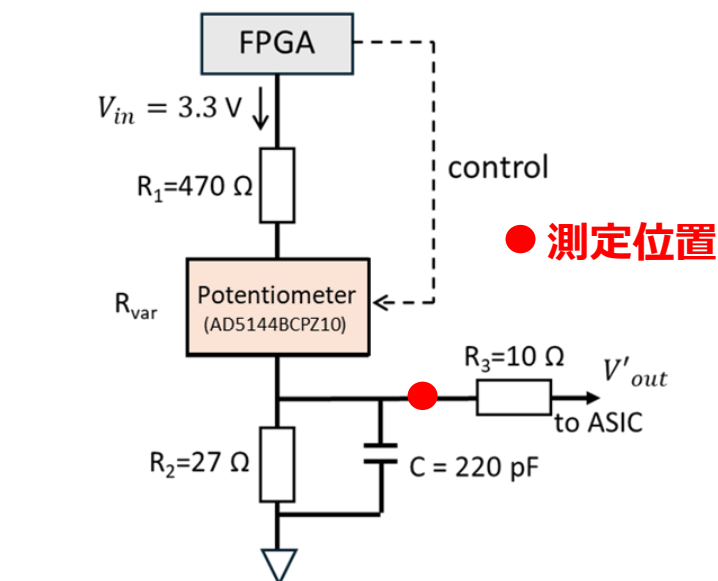
リンギング →



パスコンなし



パスコンあり



パスコンあり

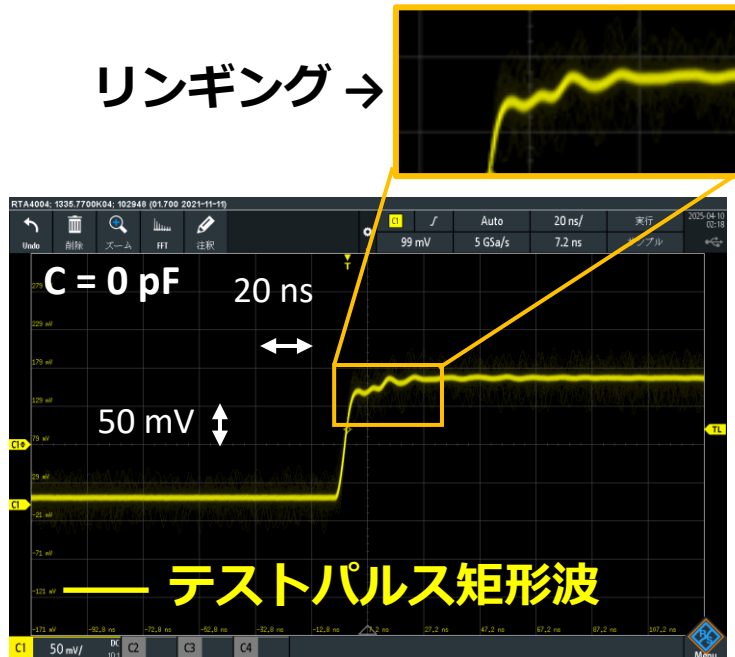
バイパスコンデンサの容量による波形の違い

14

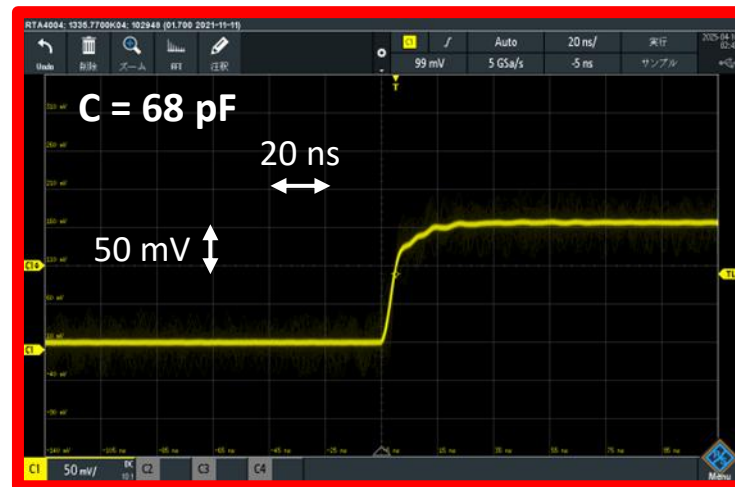
✓ 容量の異なるバイパスコンデンサで波形を比較した

- ・ 立ち上がり時間は、パスコン容量を小さくすることで、短くなることが確認できた
- ・ リンギングは、パスコンをつけることで改善された

リンギング →



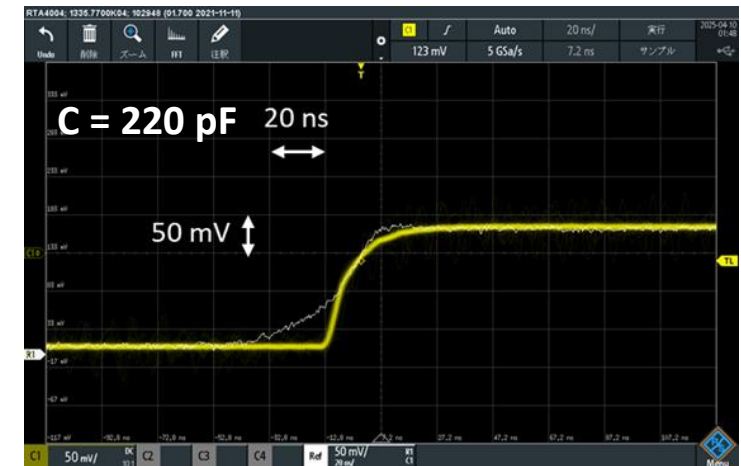
パスコンなし



パスコンあり



パスコン容量68 pFの時の
ASICアナログ波形



パスコンあり

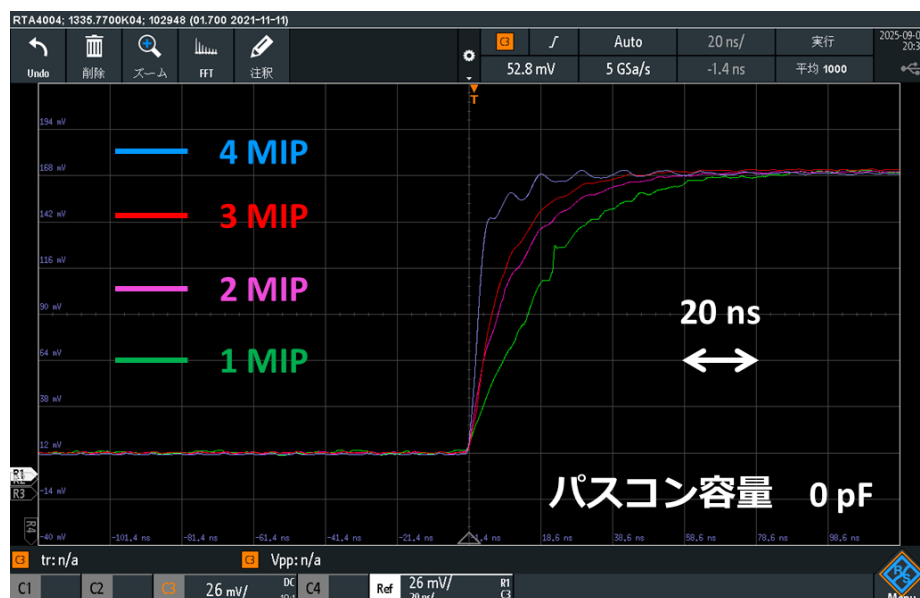
見つかった課題

✓ IC(デジタルポテンショメータ)の抵抗値を変えて入力電荷を変化させると、立ち上がり時間が変化する、また、1 MIP程度になると立ち上がり時間が40 nsと長くなってしまう

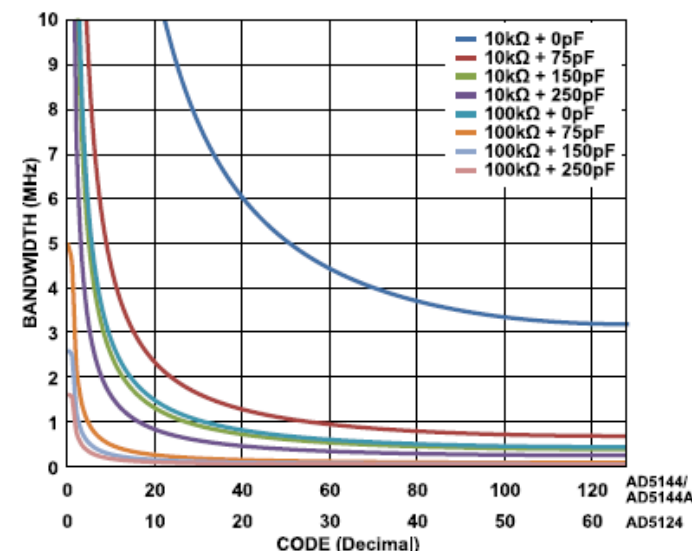
- ・ 入力電荷(0.5 ~ 3.0 MIP)によって、立ち上がり時間が異なると、ASICの較正(time walk評価)に影響を与える
- ・ ICの帯域幅の抵抗値依存性が原因



テストパルス回路の配置修正による改善を検討中



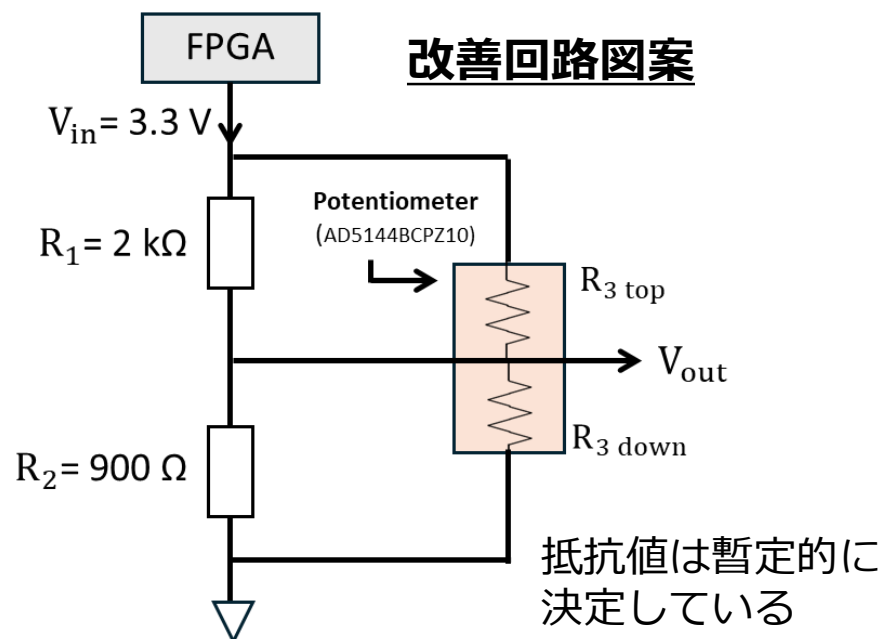
波高が揃うようにスケールを調節している



使用しているICの帯域幅の抵抗値依存性

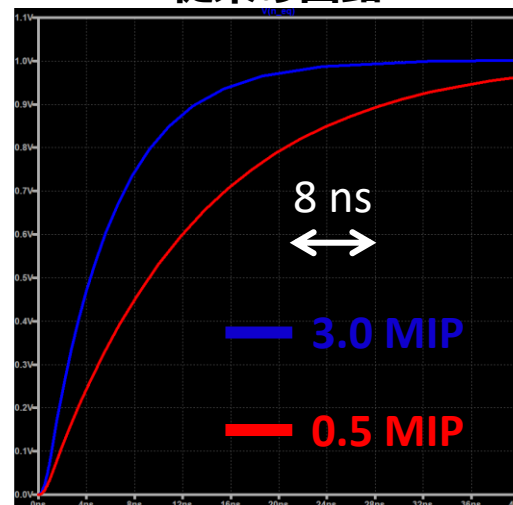
配置を変更した回路による解決策

- ✓ ICに対して固定抵抗を並列に配置し、広帯域で出力電荷を変更できるようにする
 - ・広帯域で、ASICの較正(time walk評価)に必要な出力電荷の変化量6倍を確保し、別段で減衰させる
 - ・電気回路シミュレーション(LTspice)では、立ち上がり時間、入力電荷の違いによる立ち上がり時間差、ともに小さくなることが確認できた。
 - ・入力電荷量の違いに起因するテストパルスの立ち上がり時間差は事前に測定し、time walk 評価に反映させる

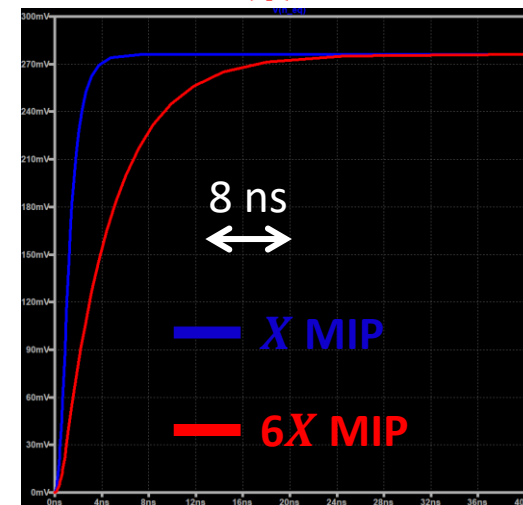


シミュレーション上での立ち上がり時間の比較

従来の回路



改善案回路



波高が揃うようにそれぞれスケールを調節している

まとめ

- ✓ J-PARC muon $g-2$ /EDM実験は、新しい手法でのミューオンの $g - 2$ の測定と、世界最高精度でのミューオンEDM探索を目指す実験
- ✓ 陽電子検出のために開発、改良を進めているフロントエンド基板について、鏡像版FRBSの動作試験を開始した
- ✓ 鏡像版FRBSとASICを接続し、適切にデータ読み出しができることを確認できた
- ✓ 鏡像版FRBS上でのテストパルス生成回路として、抵抗分割とICを用いた回路を検討している
- ✓ デジタルポテンショメータの帯域幅の抵抗値依存性により、立ち上がり時間が変動してしまうことが分かった
- ✓ 固定抵抗をデジタルポテンショメータに対して並列に配置することによって、立ち上がり時間の変動を軽減できることをシミュレーション(LTspice)で示した