



SOI Workshop in Kanazawa
Dec. 2, 2025



高感度SOI近赤外イメージャー High Sensitivity SOI Near Infrared Image Sensor

(株)ディーアンドエス 倉知 郁生

Ikuo Kurachi, D&S Inc.

Collaboration with Prof. Kohmura of Tokyo University of Science

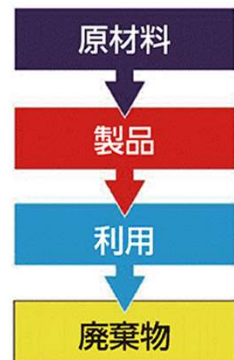
社会問題を解決するNIR Image Sensor

最大の課題：持続可能（サステナブル）な社会の実現、SDGs

（１）サーキュラーエコノミー / 資源の再利用

図 2-2-1 サーキュラーエコノミー

リニアエコノミー （線型経済）



サーキュラーエコノミー （循環経済）



※限りある資源の効率的な利用等により世界で約 500 兆円の経済効果があると言われていた成長市場（出典：Accenture Strategy 2015）

資料：オランダ「A Circular Economy in the Netherlands by 2050 -Government-wide Program for a Circular Economy」(2016) より環境省作成

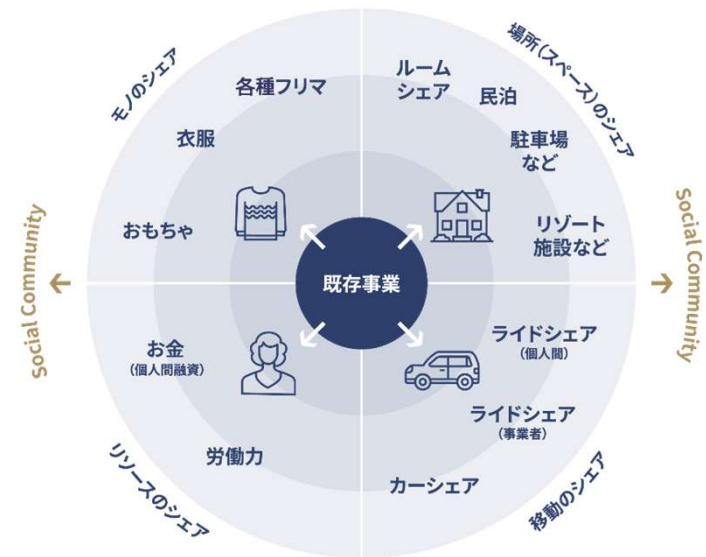
高度な選別技術

赤外吸収(IR)イメージング

セキュリティレベル高く簡便な個人識別・本人認証

静脈認証

高感度の近赤外イメージセンサ



より安価で高感度なNIRイメージセンサは？

コスト・品質・製造容易性を考えるとSiでの実現が必要！！

Siだと近赤外（800 nm以上）はQE低下するが、1.1 nmくらいまでの波長の光は見れるはず。

低濃度Si基板と高バイアス電圧で空乏層を厚くできればNIR感度は大幅に改善される。

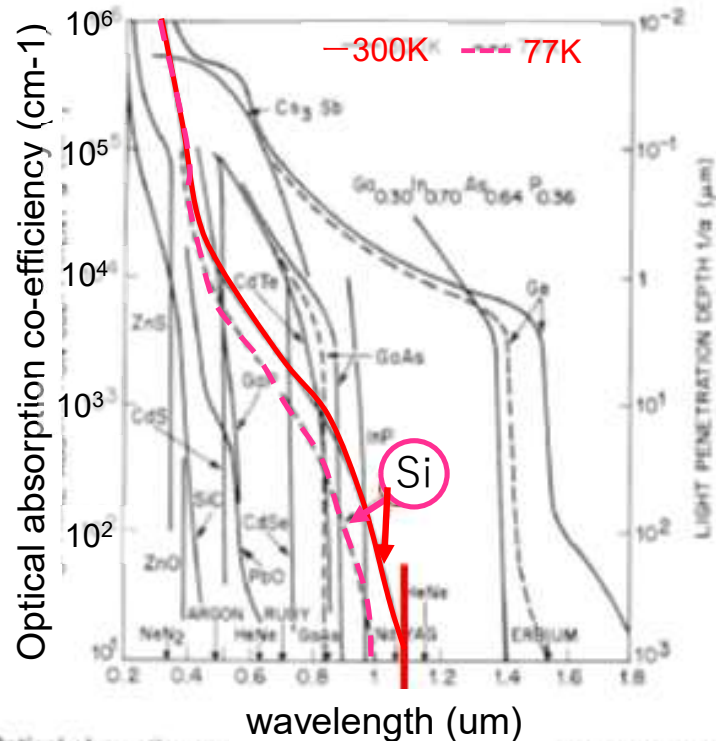
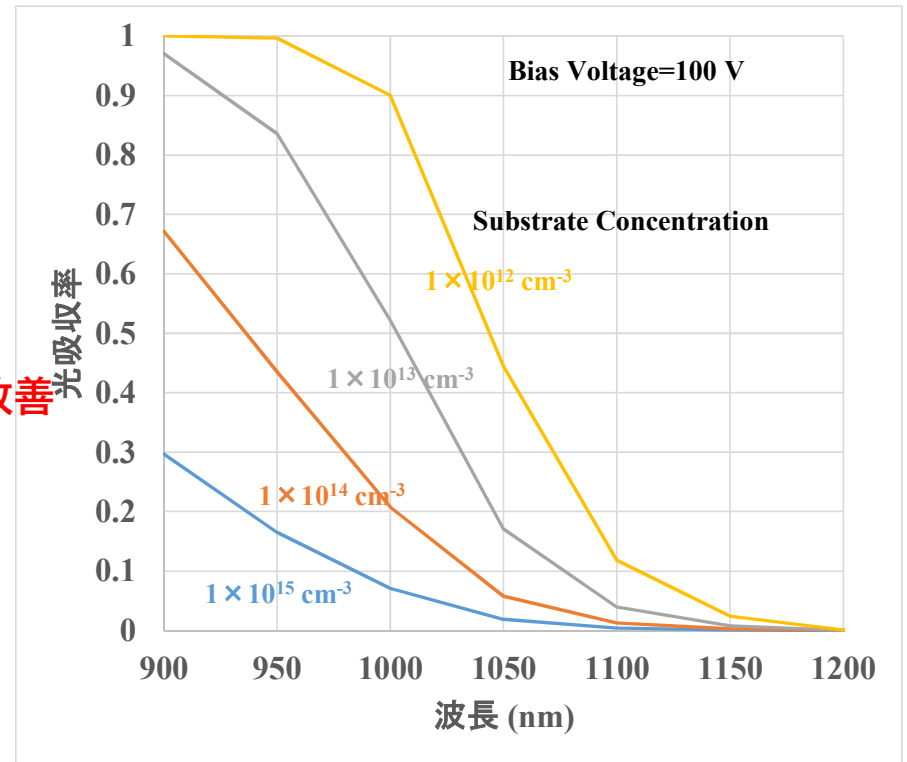


Fig. 5 Optical absorption co-efficiency for various photoconductor materials; some laser emission wavelengths are indicated. (After Melchior, Ref. 2.)

2025/12/2

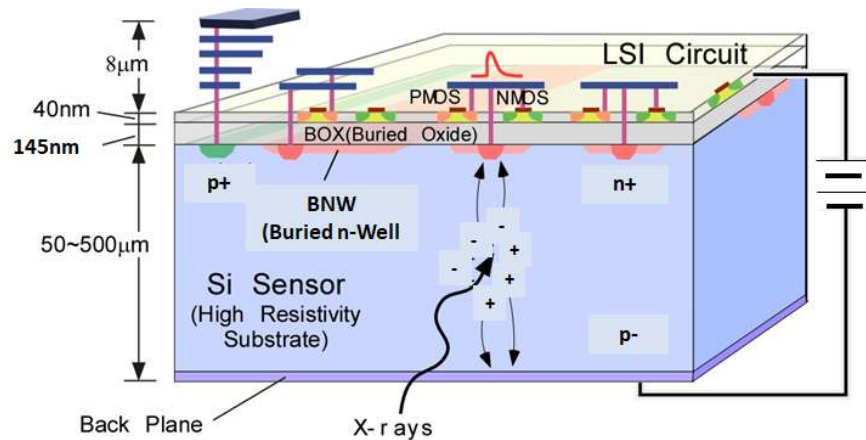
NIRに対する感度の改善



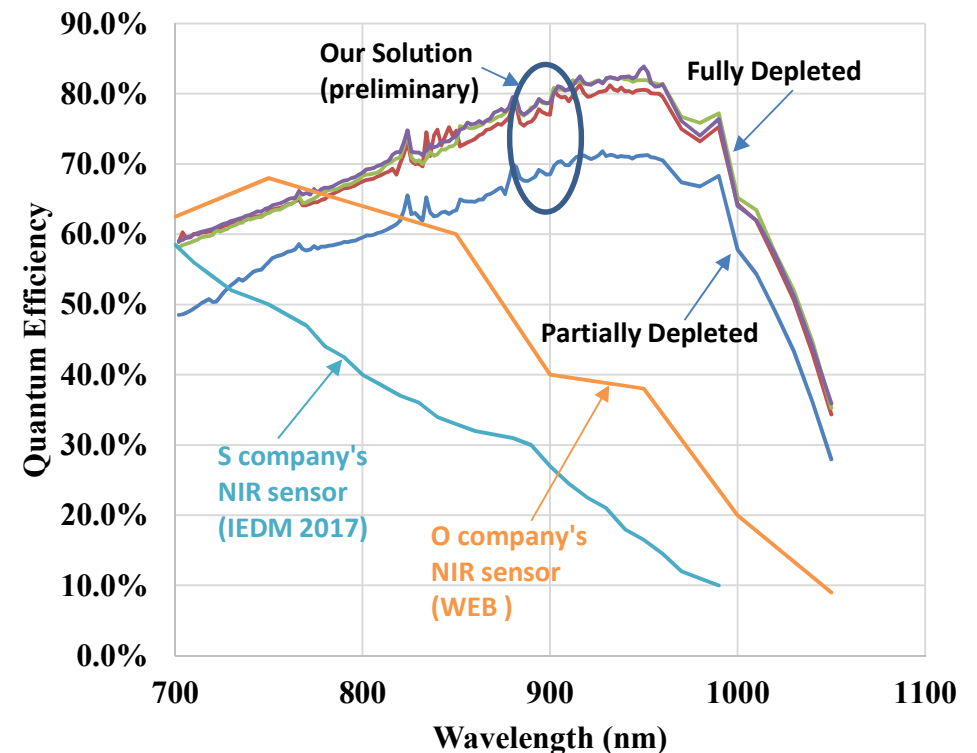
D&S Confidential

SOI NIRイメージセンサが最良だが。。。。

SOIPIXは低比抵抗基板を用いることで、低電圧でも厚い空乏層を形成し、900 nm台のNIR帯域でも高感度を有するイメージセンサを実現できる最良のイメージセンサ！



このまま使うことができればよいのだが・・・



SOI NIRイメージセンサの課題と解決取り組み

現状の課題は、

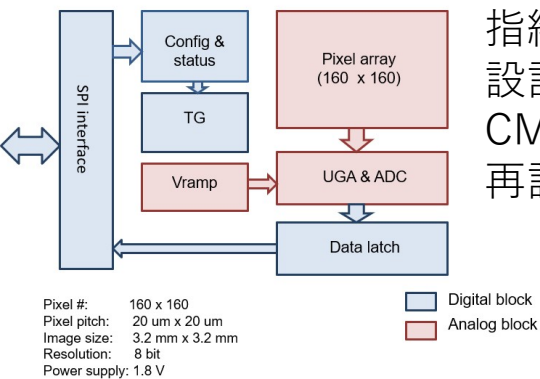
- I. アナログ出力しかなく、外部ADCが必要。汎用CISに準拠していない。
- II. 高電圧が必要で単一電源動作ではない。

その結果、システムに入れるには勝手が悪く、特殊ボードが必要だったり、複数の外部電源が必要。

Solution 1

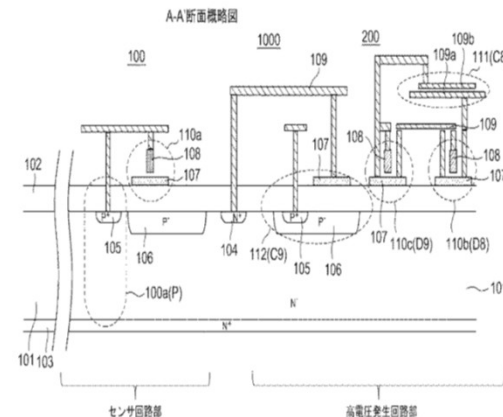
既存（Bulk-CMOS）の汎用センサー回路を
基にSOI用に再設計

指紋認証用センサを
設計・製造している
CMOS Sensor Inc. (US)に
再設計を依頼し、実施。



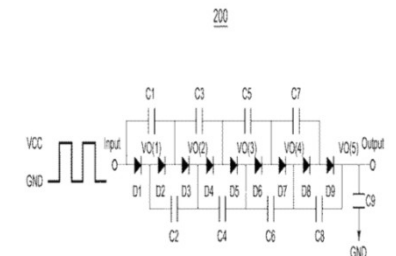
Solution 2

SOI特性活かしプロセス変更せず
高電圧発生回路搭載可能な構造の発明



- | | | | |
|-----------------------|-------------------------|------------------------------|--------------------|
| 100: センサ回路部 | 104: N ⁺ 拡散層 | 109: メタル配線層 | 111: MIN Capacitor |
| 100a: 受光素子 | 105: P ⁺ 拡散層 | 109a: アルミニウム配線 | 112: BOX Capacitor |
| 101: 低抵抗N型シリコン基板 | 106: Pウェル層 | 109b: 対抗電極 | 200: 高電圧発生回路部 |
| 102: 埋込酸化膜(BOX) | 107: SOI層 | 110a, 110b, 110c: SOI-MOSFET | 1000: 光センサ |
| 103: N ⁺ 層 | 108: ゲート電極 | | |

日本・海外特許取得

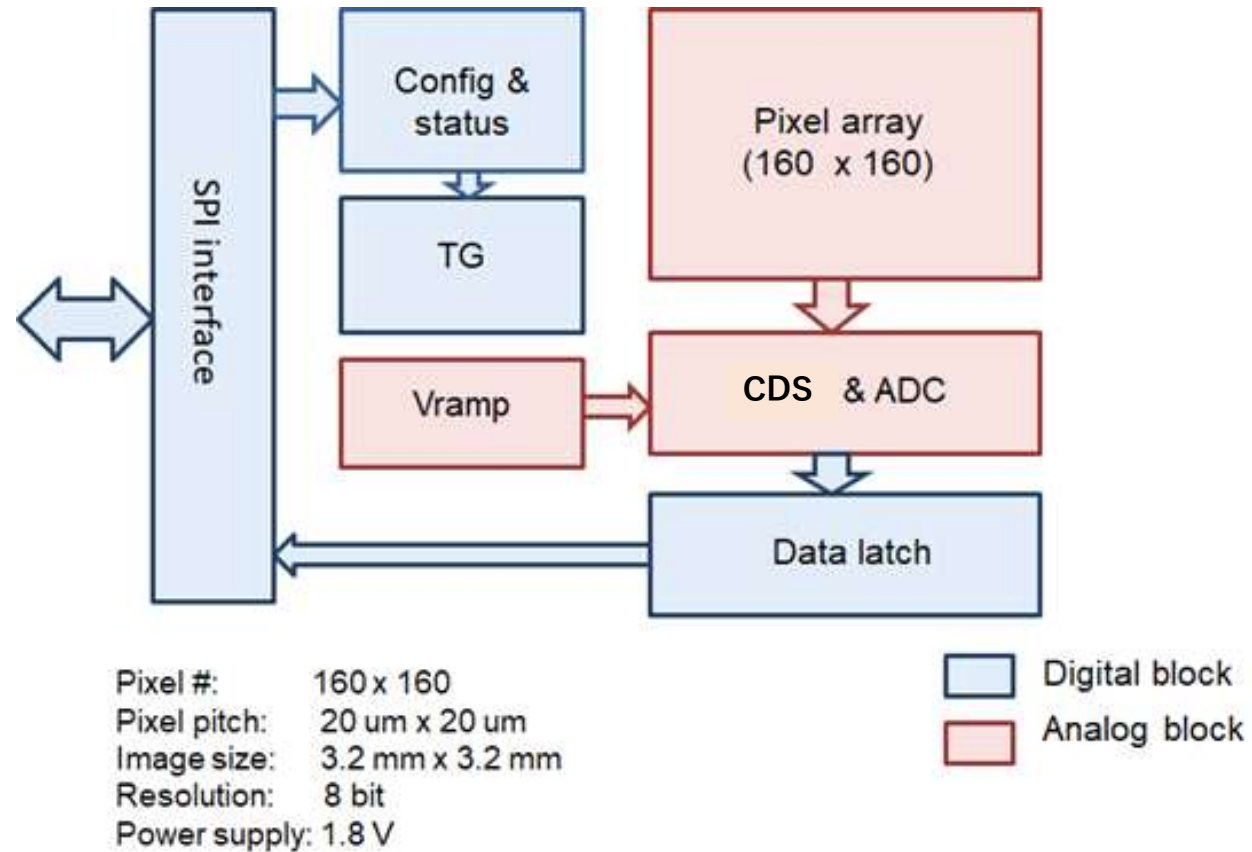




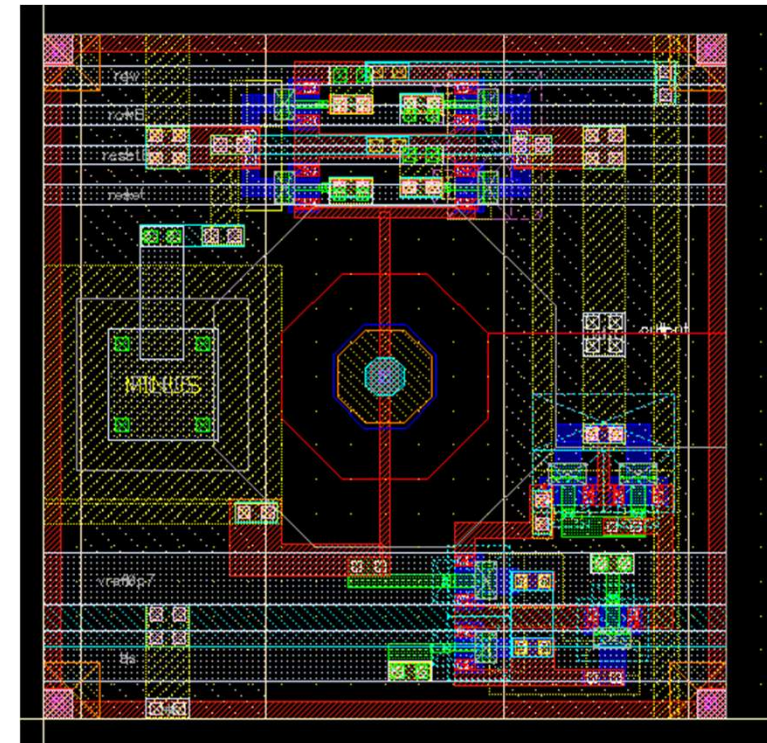
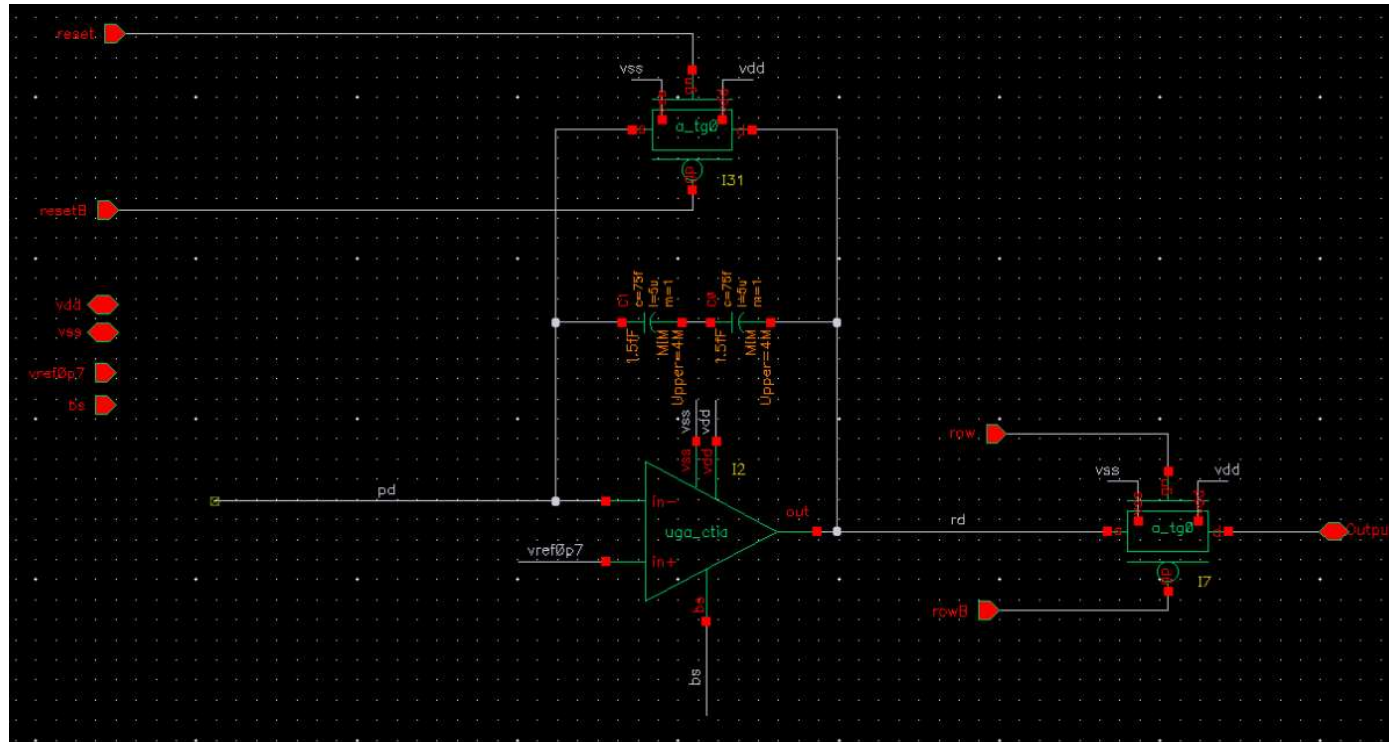
CL100B Tentative Specifications

Specfication	Description/Value
Sensing Area	3.2 mm x 3.2 mm
1016 DPI	20 μm x 20 μm pixel - 164 x 164 array (160 x 160 active pixel area)
508 DPI	40 μm x 40 μm pixel - 82 x 82 array (80 x 80 active pixel area)
8 Bit Output	256 grey scale (8 bits) values in every pixel
Saturation Charge	234 K e
Conversion Gain	914.063 μV / e
Core Voltage VDD	1.8 V
Scan and Read Out Time	~ 10 ms @ 1016 DPI ~ 5 ms @ 508 DPI
High Speed SPI Bus Compatible Serial Interface	21 MHz clock and adjustable ms LED_ON time

CL100B Block Diagram

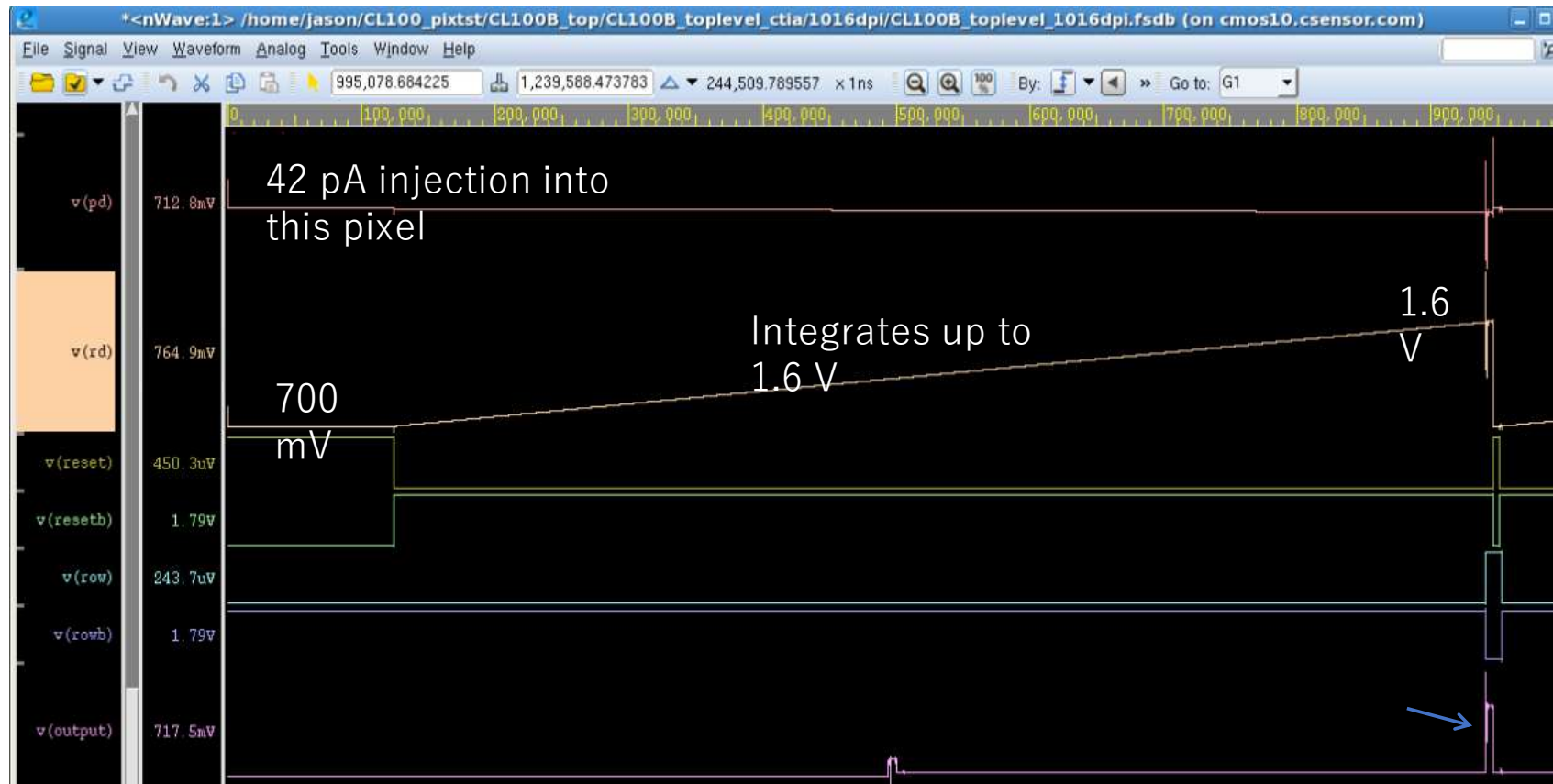


CL100B Pixel Circuit

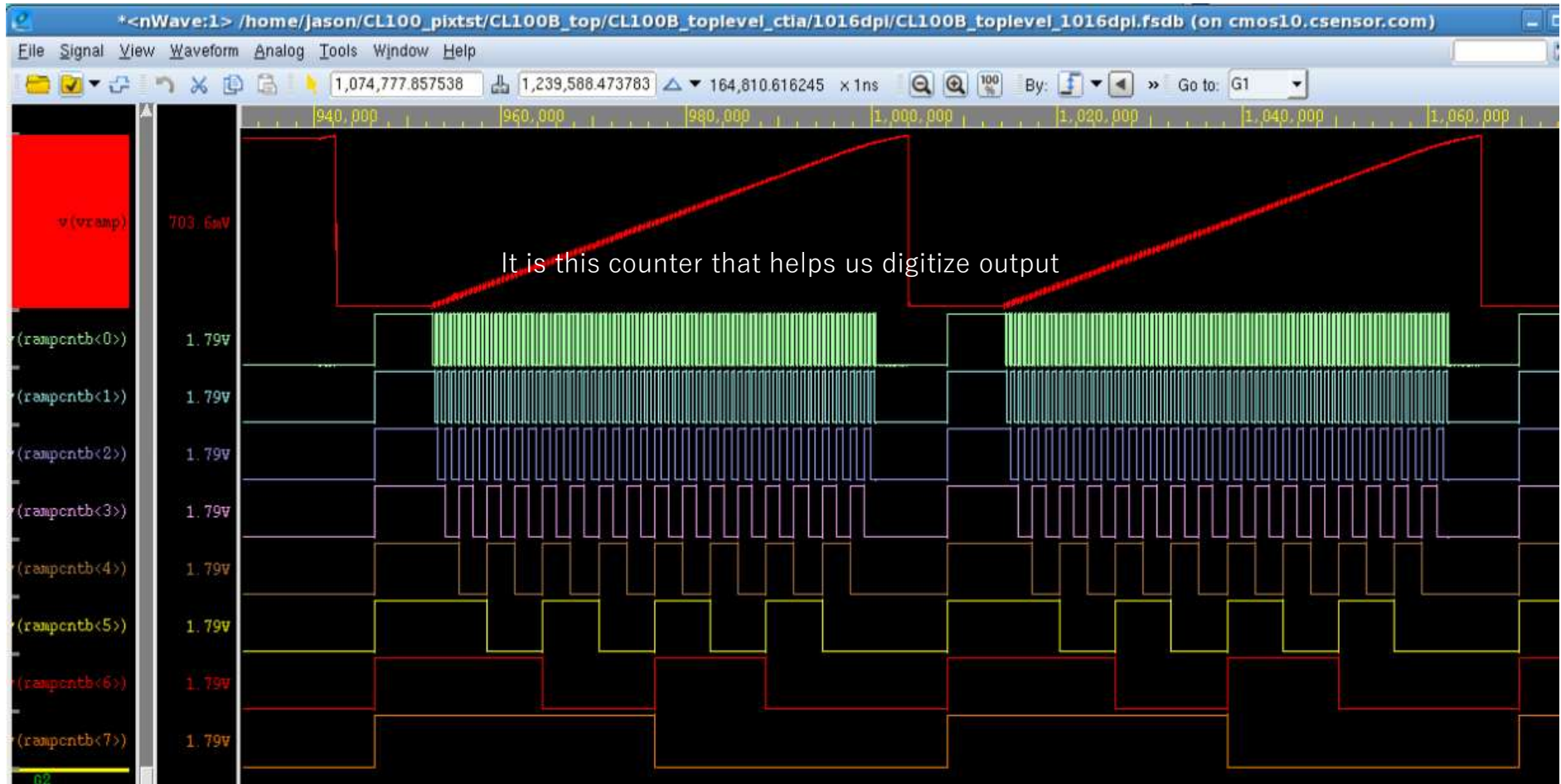


CTIA : Capacitive Transimpedance Amplifier

CL100B Pixel Block Wave Form

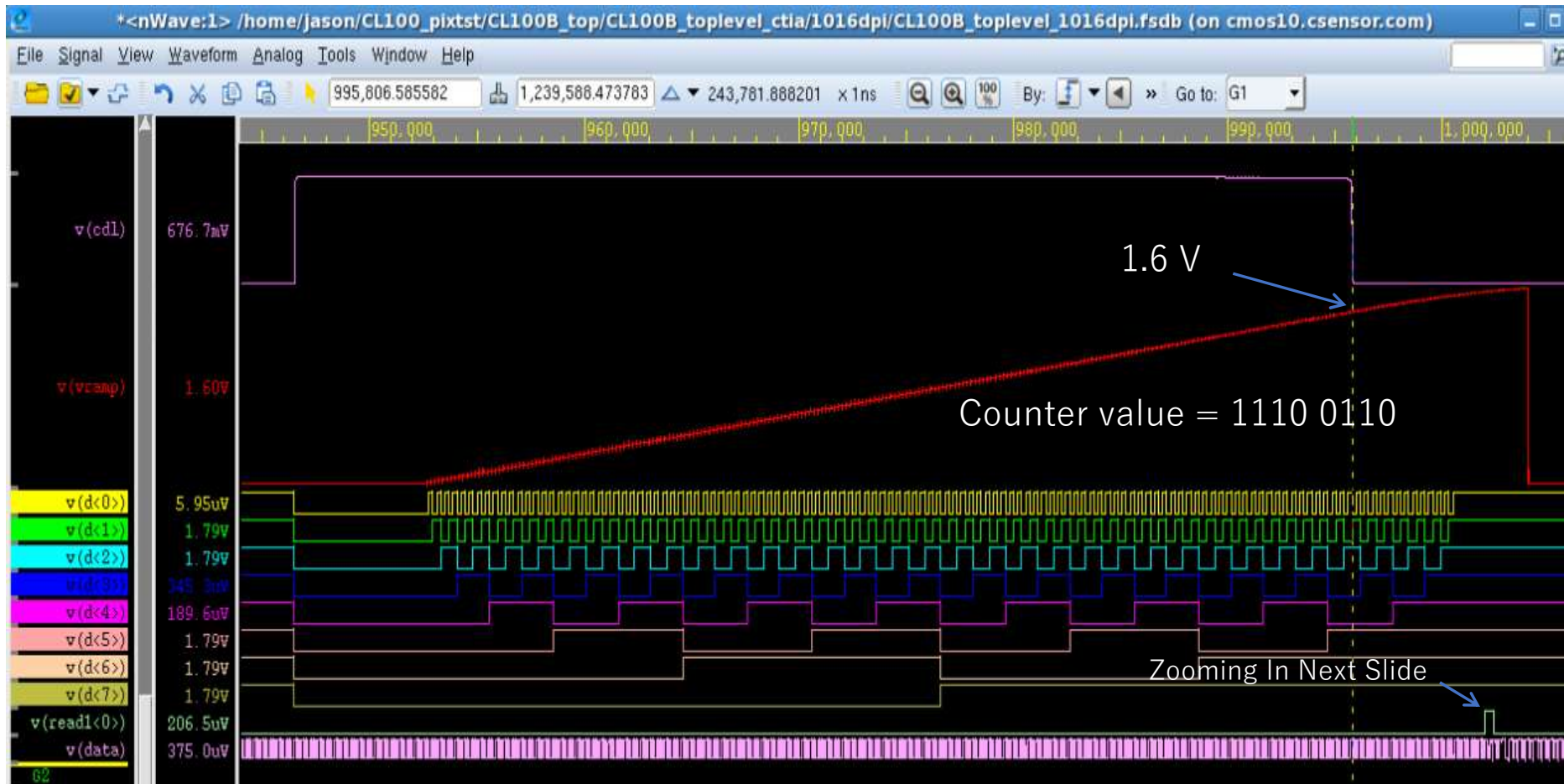


CL100B VRAMP Wave Form

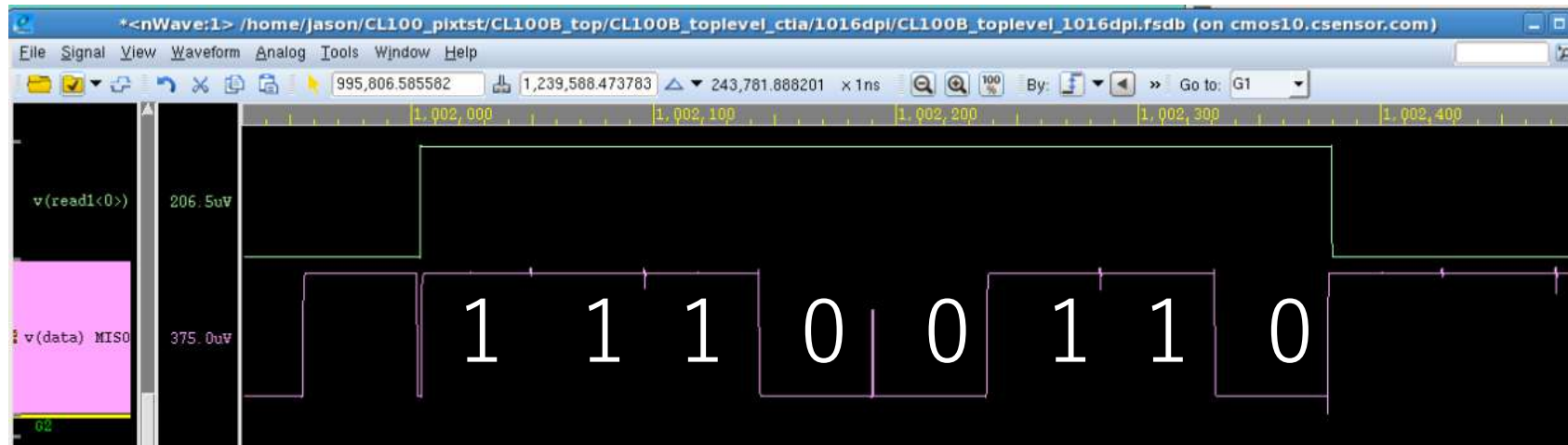




CL100B Data Latch (1)

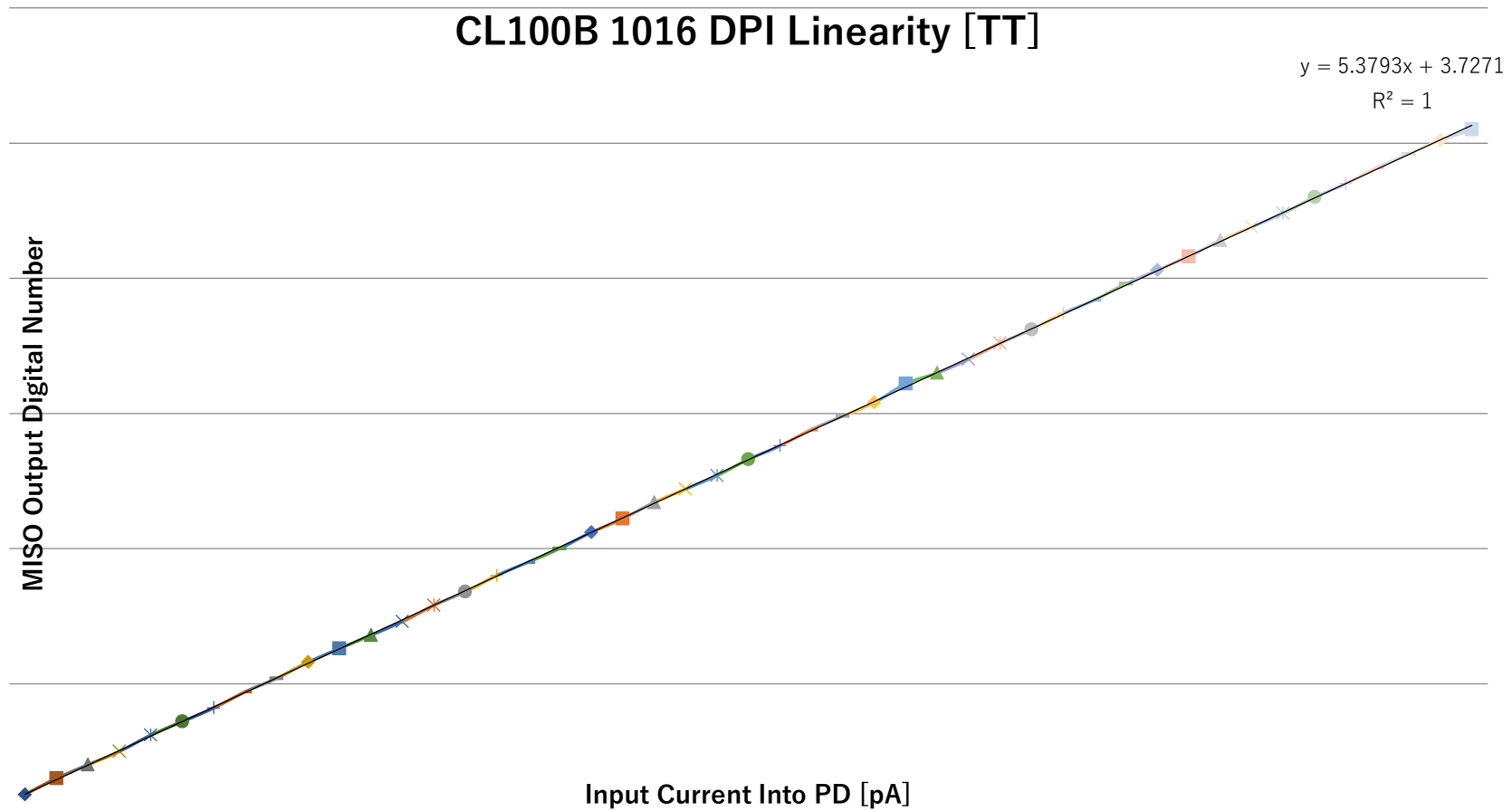


CL100B DATA Latch (2)

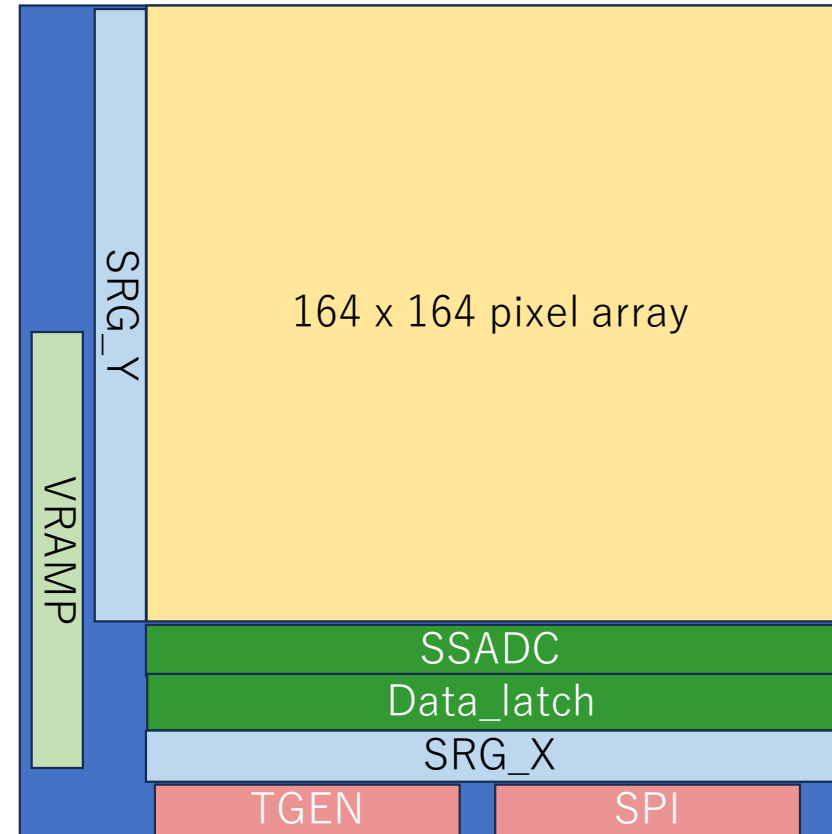
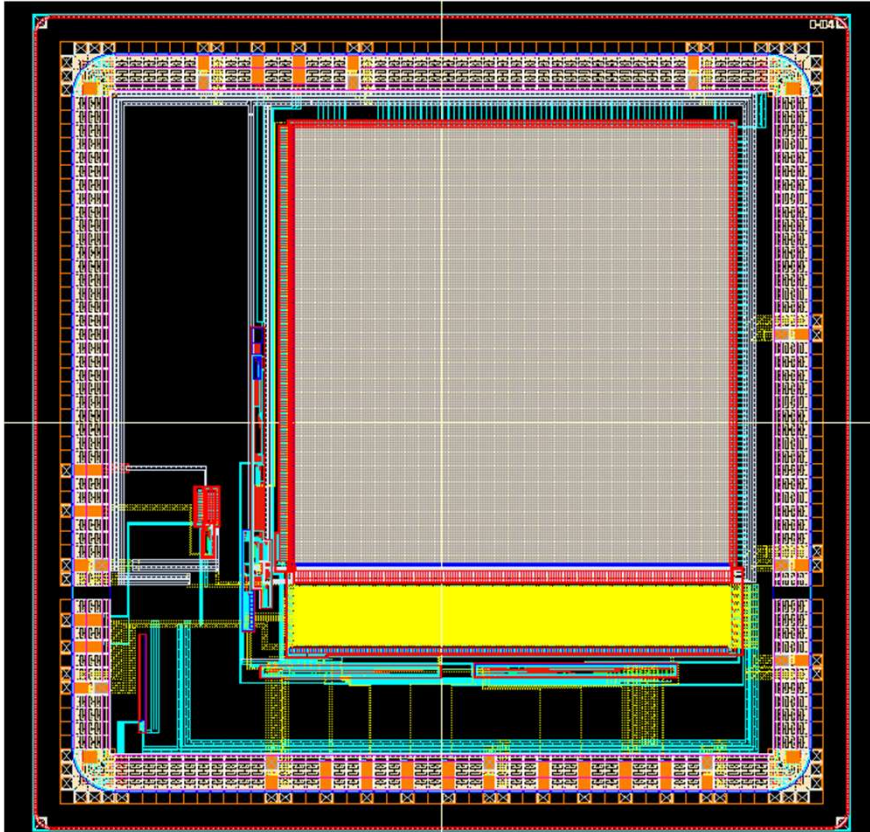


Through data latching logic and parallel to serial conversion, the final output (MISO) is as expected.

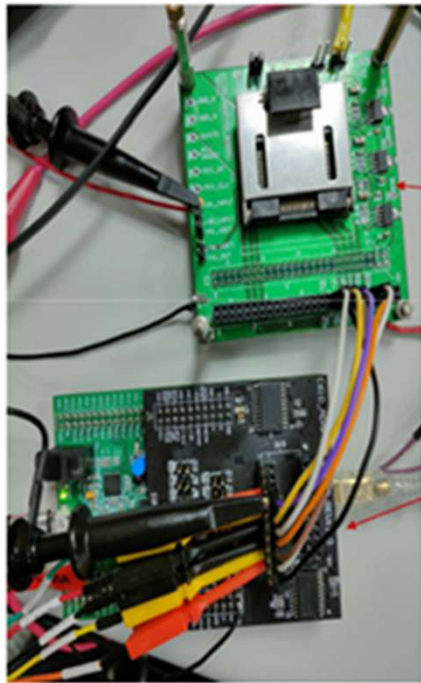
CL100B Linearity



CL100B Chip Image



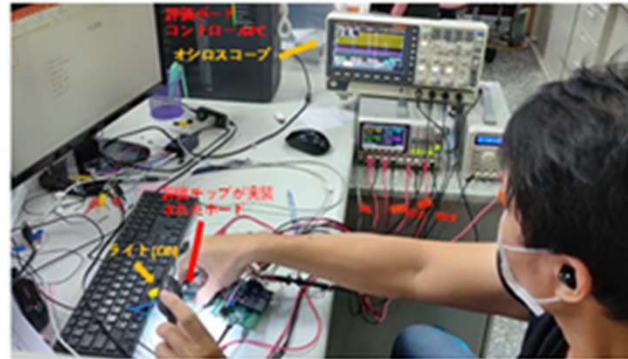
NIR Image Sensor評価環境



Sensor board

Main board

評価ボード



評価セットアップ

(台湾 桃園)



評価F/W, S/W

次回評価はUSで実施予定

Summary

- ✓ サステナブル社会の実現 NIRイメージセンサの必要性
- ✓ SOI Image Sensor NIRへの適用と問題点とその解決策
- ✓ MPW Run CL100Bの紹介

MPW Runチップ入所次第組立基本特性評価を実施（US CMOS Sensor Inc.）
NIR Sensorとして商品化を進める
東京理科大とともに宇宙利用の可能性も検討していく