J-PARC muon $g-2$/EDM 実験における シリコンストリップ検出器用改良型 サンプリングレートASICの開発

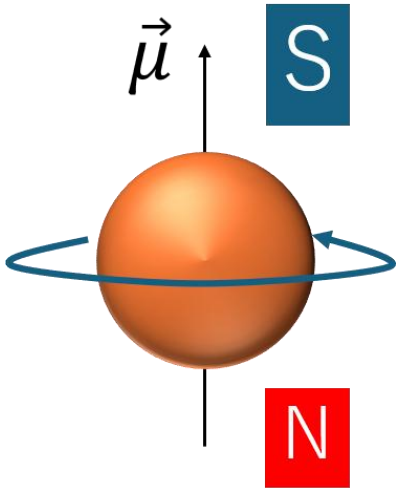
FPWS 2026
新潟大学　高エネルギー物理学研究室
修士1年　柴田偉央

ミューオン異常磁気能率

- 粒子がもつ固有磁気能率

$$\vec{\mu} = g\left(\frac{e}{2m}\right)\vec{s}$$

g：g因子　$\frac{e}{2m}$：ボーア磁子　$\vec{s}$：スピン



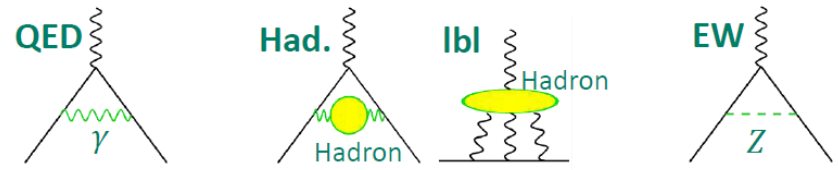
g因子
古典力学から予想される磁気能率と実際の磁気能率の比
古典力学：g=1　ディラック理論：g=2

- ミューオンのg因子は量子効果により、 g=2より大きくなる。

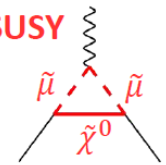
異常磁気能率a_μ
- g因子の 2 からのずれを表す。

$$a_\mu \equiv \frac{g-2}{2}$$

標準模型で予測される寄与



新物理



- 未知の相互作用が寄与すると、 a_μは標準模型の予測値からずれる。
- “標準模型の予測値” と “実験測定値” を比較することで、標準模型を精密に検証する。

$g-2$の理論と測定状況

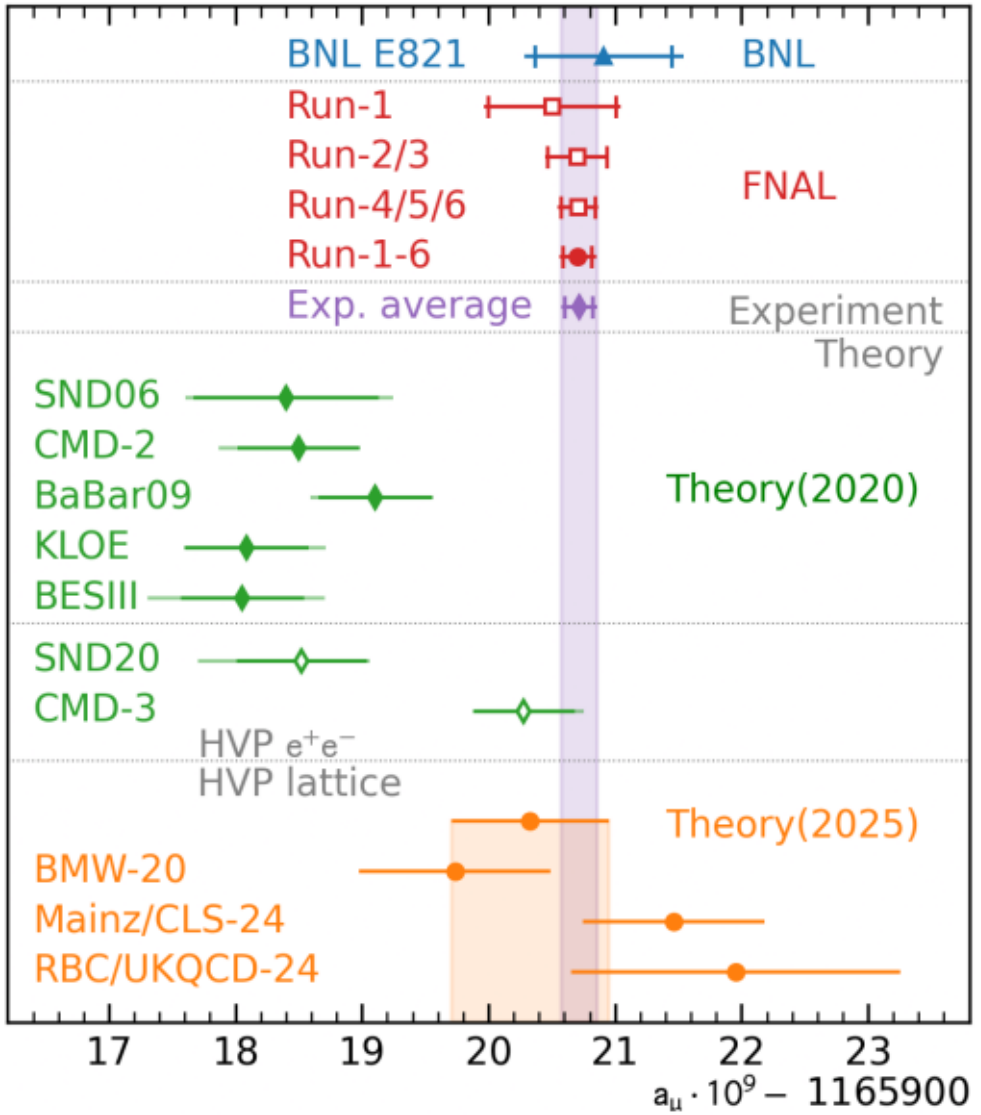
■ ミューオン異常磁気能率の理論アプローチ

- 標準模型のハドロン真空偏極の寄与の計算には、2通りの評価手法がある。
  - **e^-e^+衝突実験のデータに基づいた計算**
    →2020年の標準模型予測は実験値と**乖離**。
  - **格子QCDのシミュレーション**
    →実験値と**整合**している。
- 理論予測と実験値の間に一部で乖離が見られる。

■ ミューオン異常磁気能率の測定状況

- BNL・FNALで$g-2$の精密測定が行われた。
- FNALにおける$g-2$の相対不確かさは
  127 ppb（統計・系統誤差を含む）。
- BNL・FNALでは同じ実験手法を用いている。

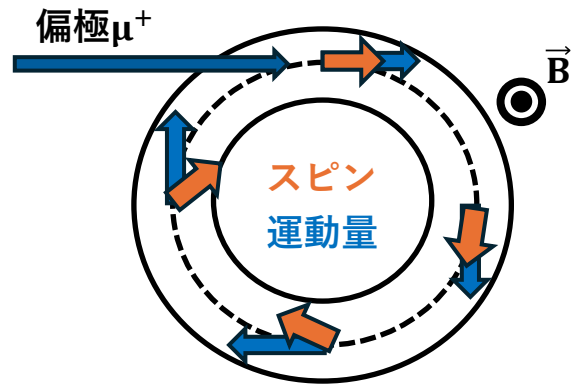
独立した実験手法による検証が求められる。



ミューオン異常磁気能率の測定原理

- 一様磁場中に偏極したミューオンを入射すると、
  - 円運動（サイクロトロン運動）する。 $\vec{\omega}_{\mathrm{cyclotron}} = -\frac{e\vec{B}}{\gamma m}$
  - スピンも同様に回転する。 $\vec{\omega}_{\mathrm{spin}} = -g\left(\frac{e}{2m}\right)\vec{B} - (1-\gamma)\frac{e\vec{B}}{\gamma m}$

磁場中における粒子の運動



- **異常歳差運動**：スピン歳差運動とサイクロトロン運動の差

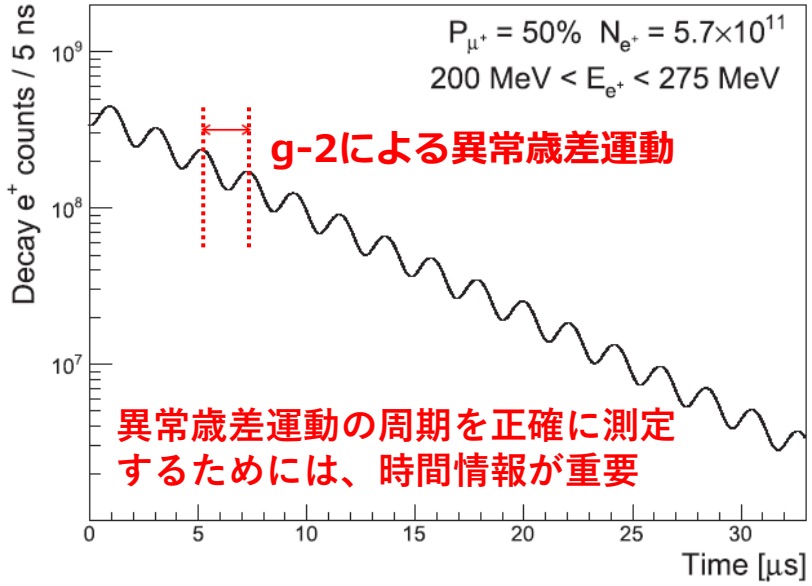
$$\vec{\omega}_a = \vec{\omega}_{\mathrm{spin}} - \vec{\omega}_{\mathrm{cyclotron}} = -a_\mu \frac{e\vec{B}}{m_\mu}$$

  - **異常歳差運動の周波数(ω_a)と ミューオンが感じる磁場(B)** を測定すれば、a_μが求まる。
- ミューオン崩壊は弱い相互作用で生じる。

$$\mu^+ \rightarrow e^+ + \bar{\nu}_\mu + \nu_e$$

  - ミューオンのスピンと運動方向が揃っていると、高い運動量を持った陽電子が出やすい。
  - 高運動量の陽電子を検出することで、ミューオンのスピンと運動方向の差の情報が得られる。

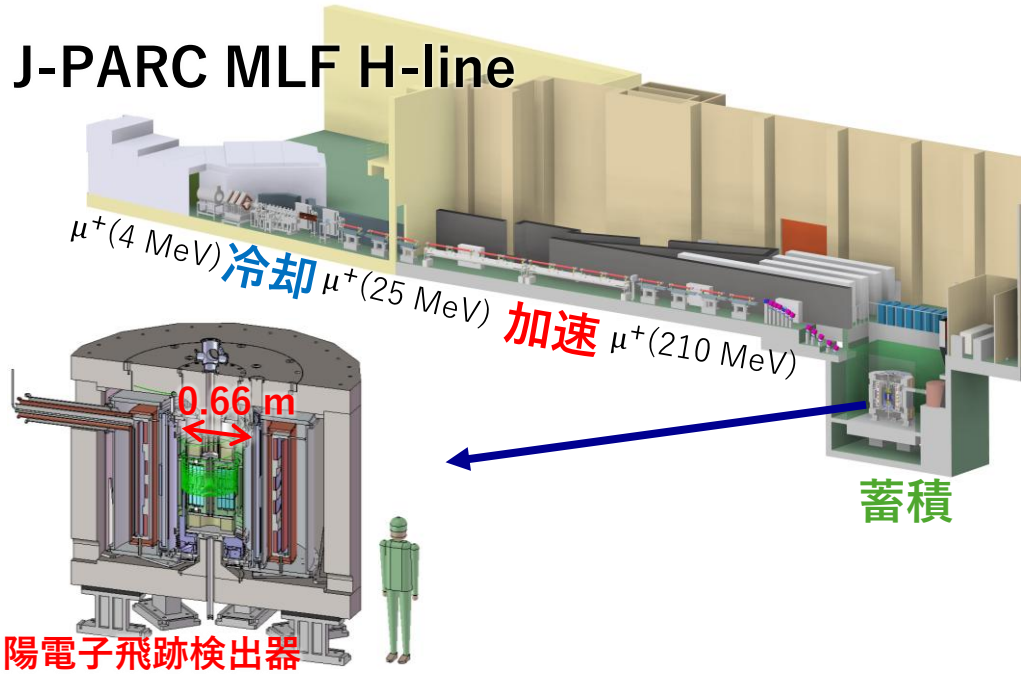
崩壊陽電子の検出数の時間変化



J-PARC muon $g-2$/EDM 実験

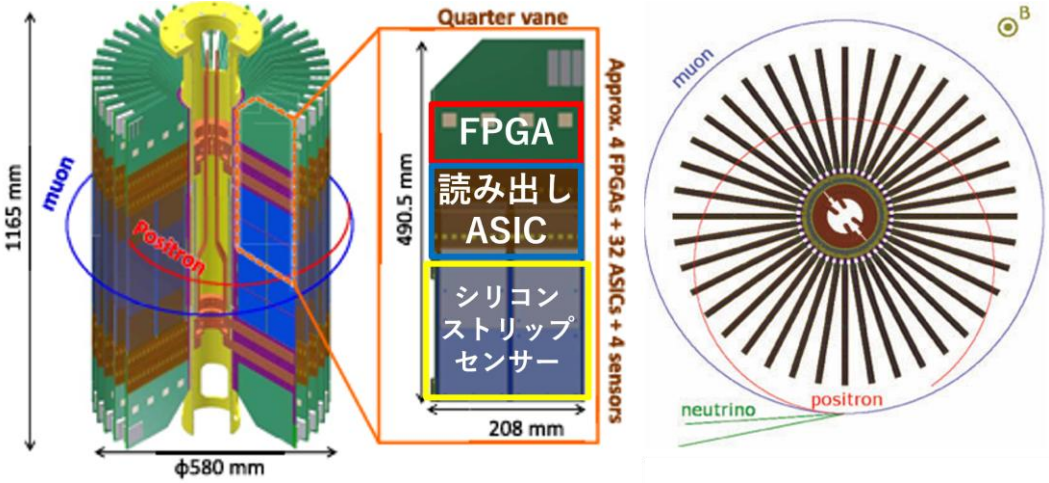
■ J-PARC muon $g-2$/EDM 実験

- 先行実験とは独立した手法で$g-2$の検証を目指す。
  - 低エミッタンスのミューオンビーム
  - 電場を用いないビームの収束
  - コンパクトな高一様磁場（3 T）
  - **陽電子飛跡検出器**を用いた崩壊陽電子の検出



■ 陽電子飛跡検出器への要求

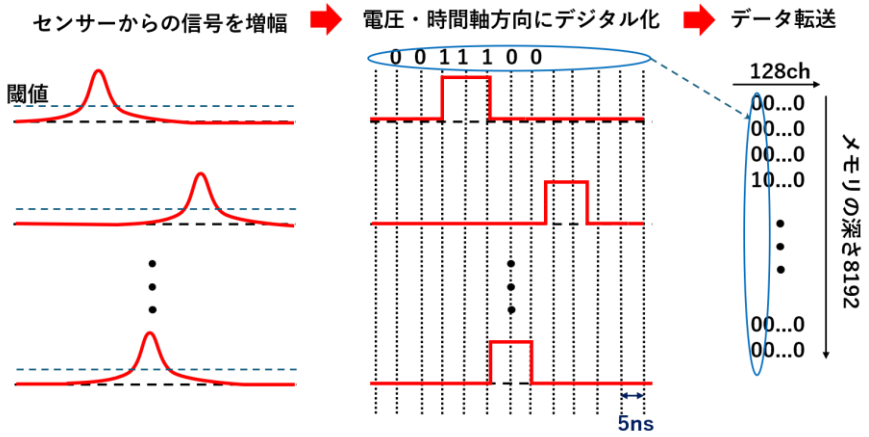
- 陽電子エネルギー 200 ~ 275 MeVの範囲で検出
- 最大ヒットレート 1.4 MHz / strip
- ヒットレート変動（約150 倍）に対する安定性
- パイルアップに起因するタイムシフト：$< O(1\ \mathrm{ps})$

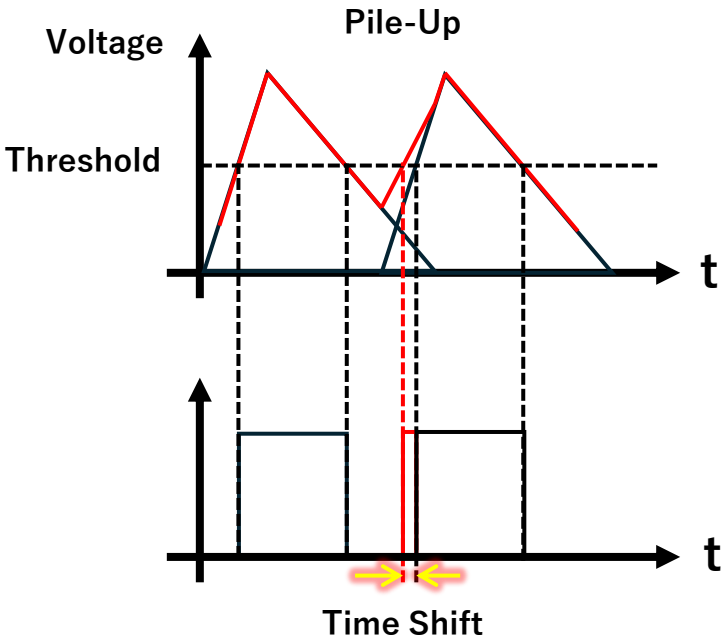


読み出しASIC：SliT128D

■ J-PARC muon $g-2$ /EDM 実験で使用予定のASIC：SliT128D

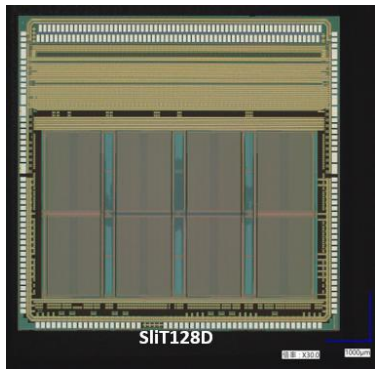
- センサーからのアナログ信号波形をCRRC回路・DIFF回路で整形し、5 nsごとにサンプリング
- 信号をバイナリデータとしてFPGAに転送
- 主要な系統誤差であるパイルアップを抑えるため、読み出しASICに以下の性能を要求
  - Peaking Time : < 75 ns
  - Pulse Width(1 MIP) : < 100 ns
  - Time Walk : < 1 ns
  - Jitter(0.5 MIP) : < 5 ns





■ SliT128Dの現状

- 要求仕様を満たすSliT128Dはすでに量産されており、品質検査（QC）も完了している。
- 製造プロセス
  - SilTerra 0.18 μm CMOS

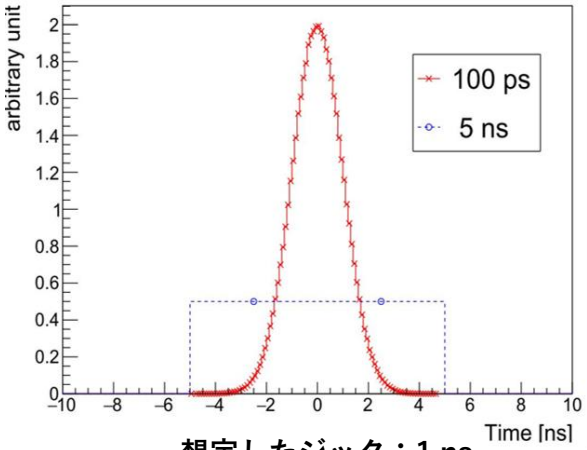


改良型 読み出しASIC：SliTTST

■ 系統誤差の低減に向けた読み出しASICの改良

- サンプリング周期がタイミングジッタと同程度であるため、
  パイルアップ起因によるタイムシフトを直接評価することが難しい。
  - タイムシフトへの要求：< O(1 ps)
  - 速いサンプリング周期の実現により、タイムシフトを正確に
    評価・補正することで、系統誤差を低減し、精度の向上を図る。

一定のタイミングで信号を
入力した時の検出時間分布



想定したジッタ：1 ns

■ 改良型ASICでの目標：サンプリング周期O(100 ps)

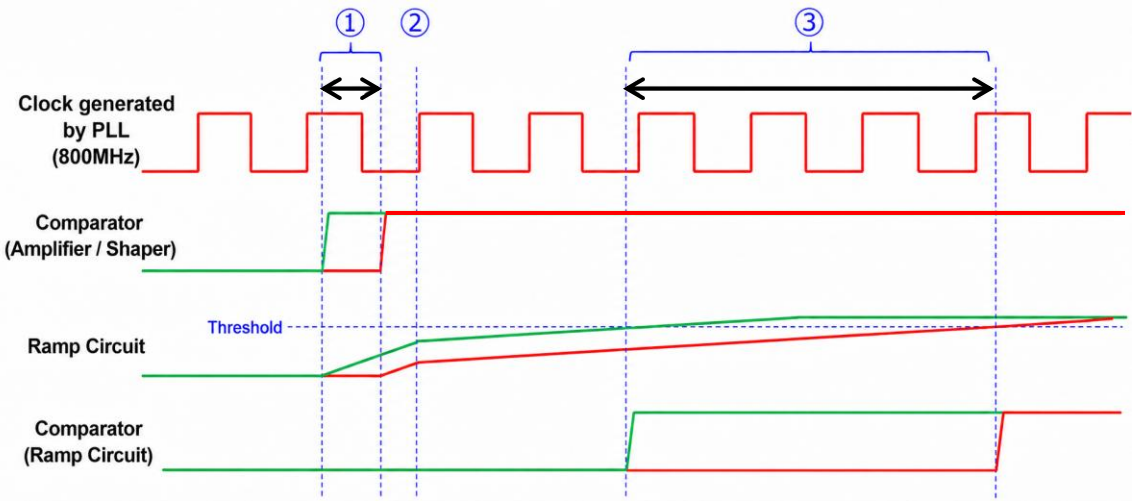
新たな回路の導入

PLL回路

外部供給クロック周波数
80 MHz → 800 MHz

ランプ回路

クロック周波数を
超えた分解能を実現

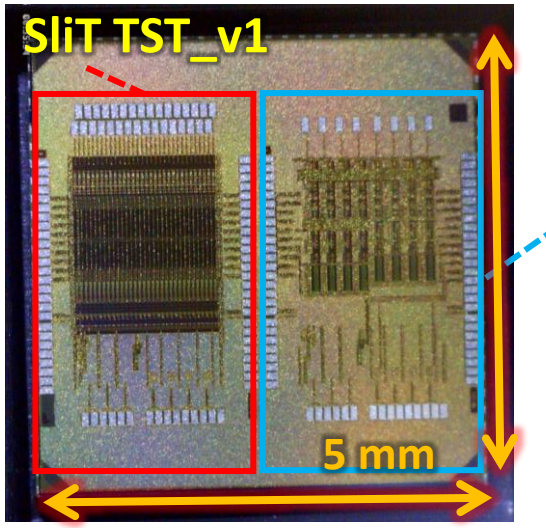


本講演では、改良型試作ASICの評価結果を報告する。

改良型 読み出しASICの試作

■ 試作チップの製造

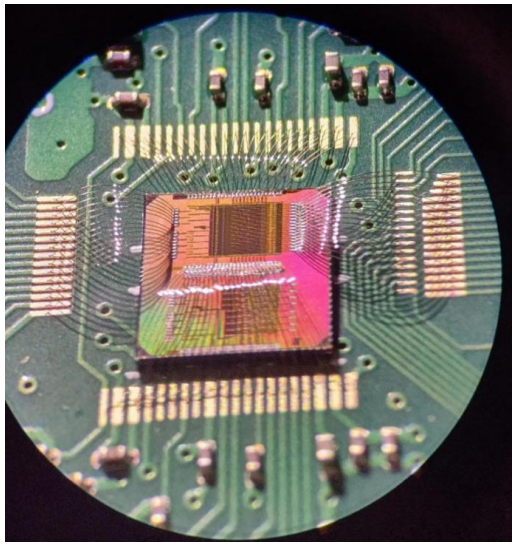
- アナログ回路のみを実装した試作チップを製作
  - 製造プロセス：TSMC 180 nm process
- シミュレーション：サンプリング周期 **250 ps** を達成
- ワイヤーボンディングの実装
  - 評価試験に使用できるASIC評価基板を3枚製作



SliT TSTと同じPLL回路を搭載した別用途のチップ
→PLL動作試験に使用

■ 本講演の内容

- SliT TST_v1の動作試験
  - スローコントロール信号の動作確認
  - アナログ出力を用いた性能評価
  - PLL出力
- 別用途のチップを用いたPLL回路の動作確認



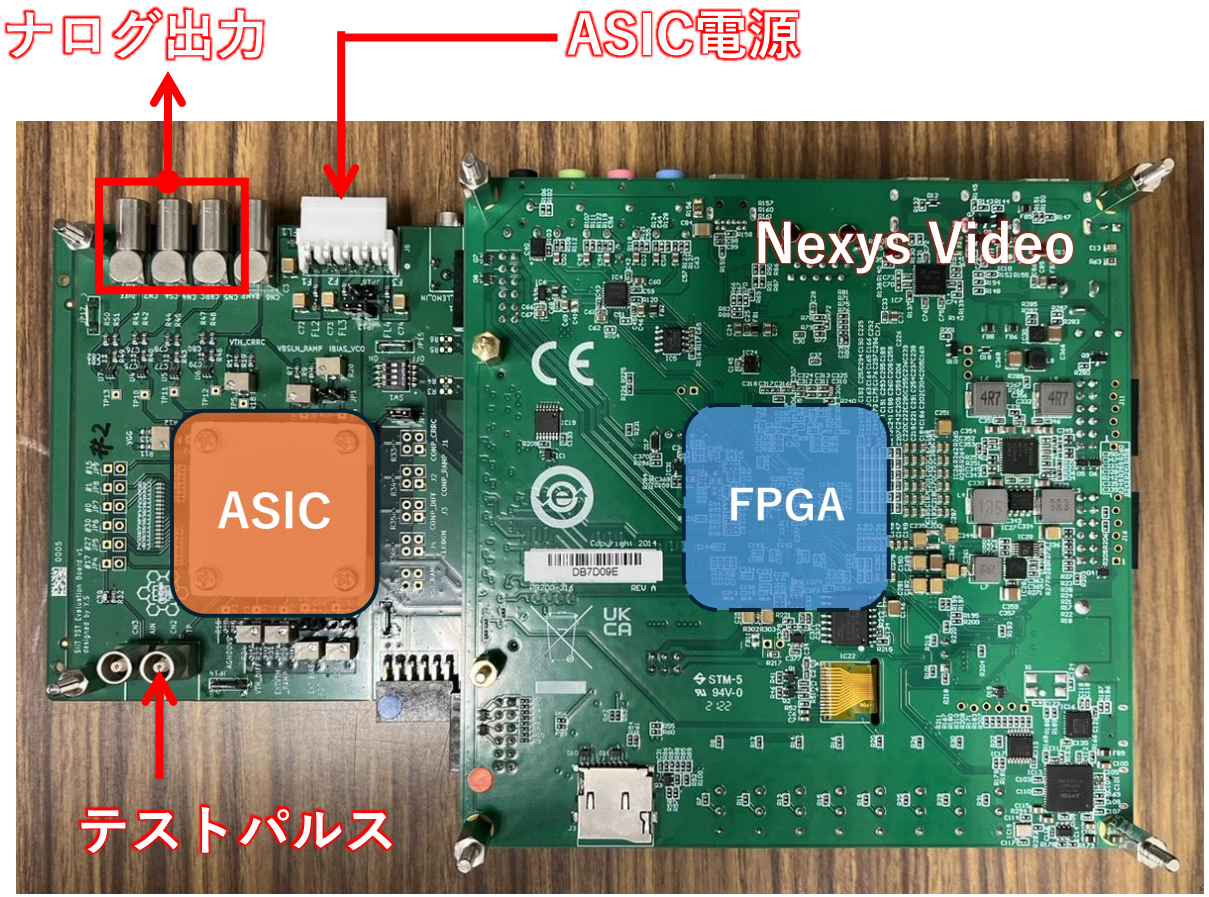
ワイヤーボンディング実装後

改良型 読み出しASIC　実験セットアップ

■ ASICの性能評価 試験

- ASIC評価基板とNexys Videoを接続
  - FPGAにより、ASICを制御
    - ✓ **スローコントロール信号**
    - ✓ 外部供給のCLK信号（80 MHz）
      → **PLL出力**

- テストパルスの入力
  - アナログ出力
    - ✓ CRRC出力
      → **立ち上がり時間・Dynamic Range**
    - ✓ DIFF出力：
      → **Time Walk**



実験セットアップ

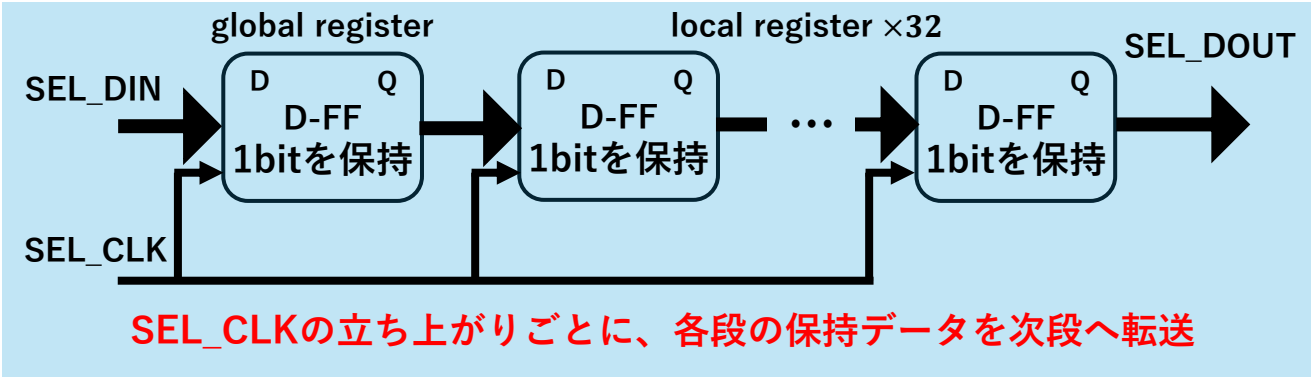
(*1) CRRC出力：コンデンサCと抵抗Rを2段接続してパルス形状を適切に整えた出力
(*2) DIFF出力： CRRC出力を微分したもので、Time Walkを小さくするために導入されている。

スローコントロール信号の動作確認

■ スローコントロール信号の転送

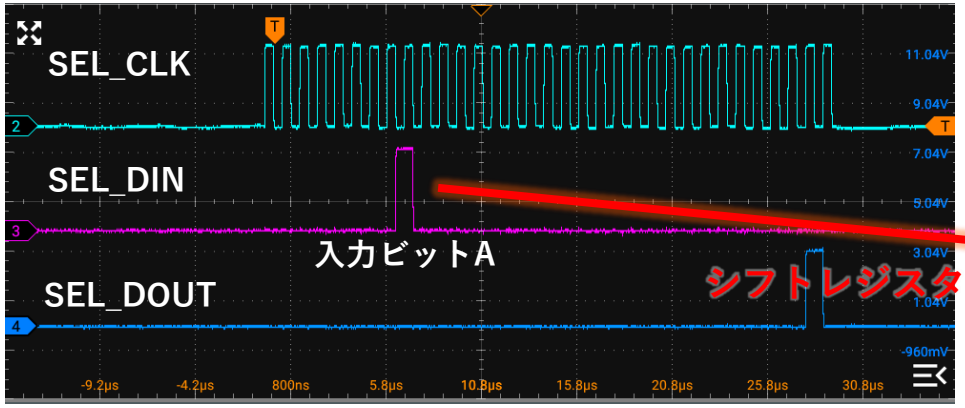
- FPGAからASICの動作を制御
- 各フリップフロップは1 bitの情報を保持
- SEL_CLKの立ち上がりごとに、
  データを1 bitずつ次段へ転送

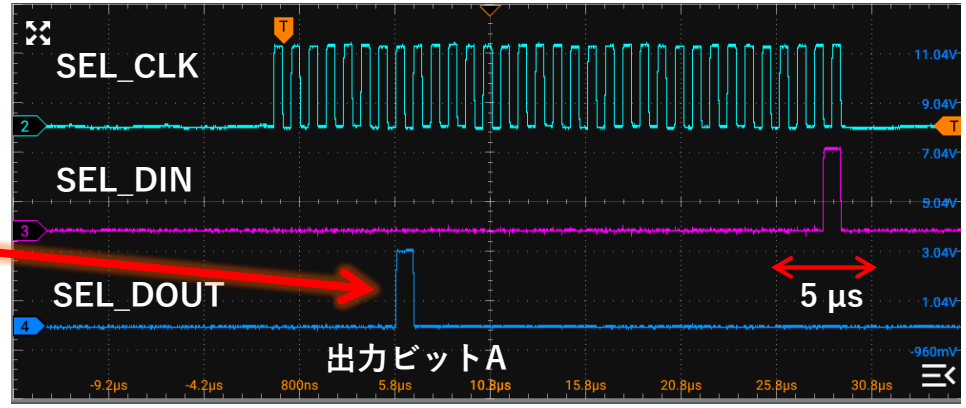
D-Flip-Flopによるシフトレジスタ



■ スローコントロール信号の観測

- 33クロック分の2種類のSEL_DINのテストパターンを交互に入力
- 前回入力したSEL_DIN の情報がSEL_DOUT に出力されていることから、
  スローコントロール用シフトレジスタが動作していることを確認した。





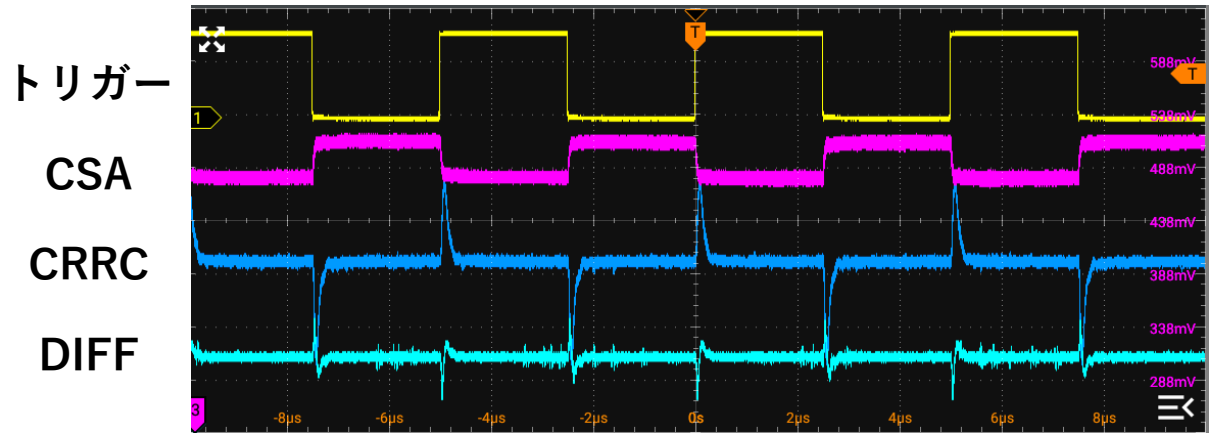
シフトレジスタを通過

アナログ出力の動作確認

■ アナログ出力の観測

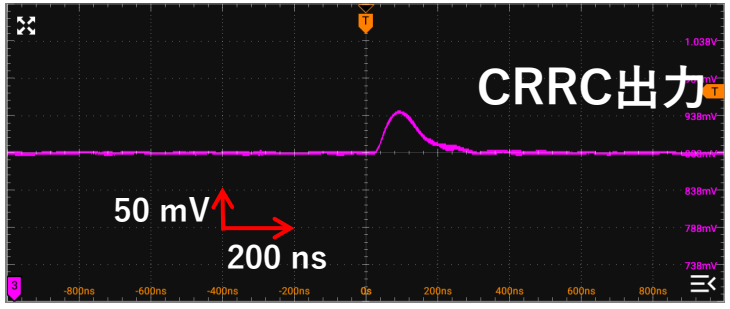
- ASICのテストパルスに対する
  応答の確認を行った。
- 各回路の応答が正しく観測できている。
- 本実験では、
  1 MIP(最小電離損失粒子)=3.84 fC

ASICのテストパルスに対する応答(@ 1 MIP)

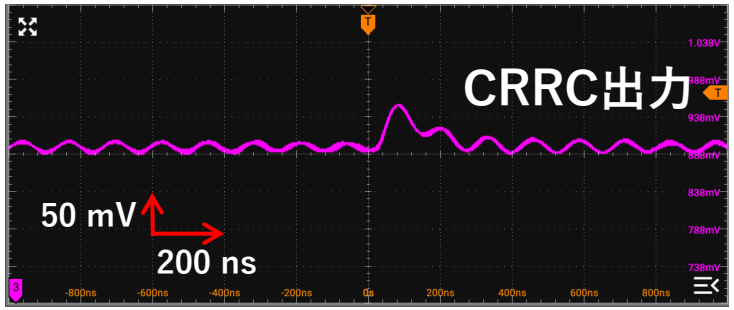


■ 現在見つかっているアナログ出力の問題

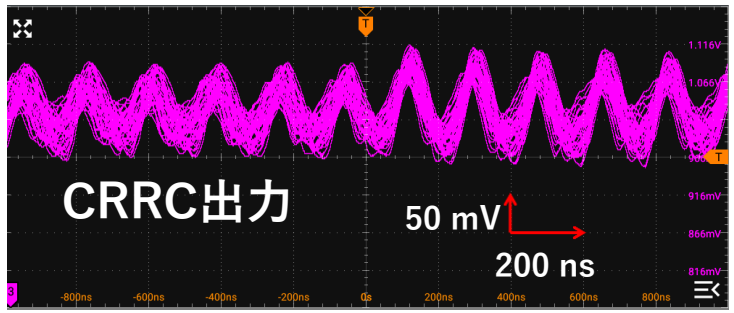
- 複数CHのアナログ出力を同時にONにすると、発振してしまう。
- アナログモニタのバッファの構造に問題がある。



1CHのみアナログ出力をON



5CHのみアナログ出力をON

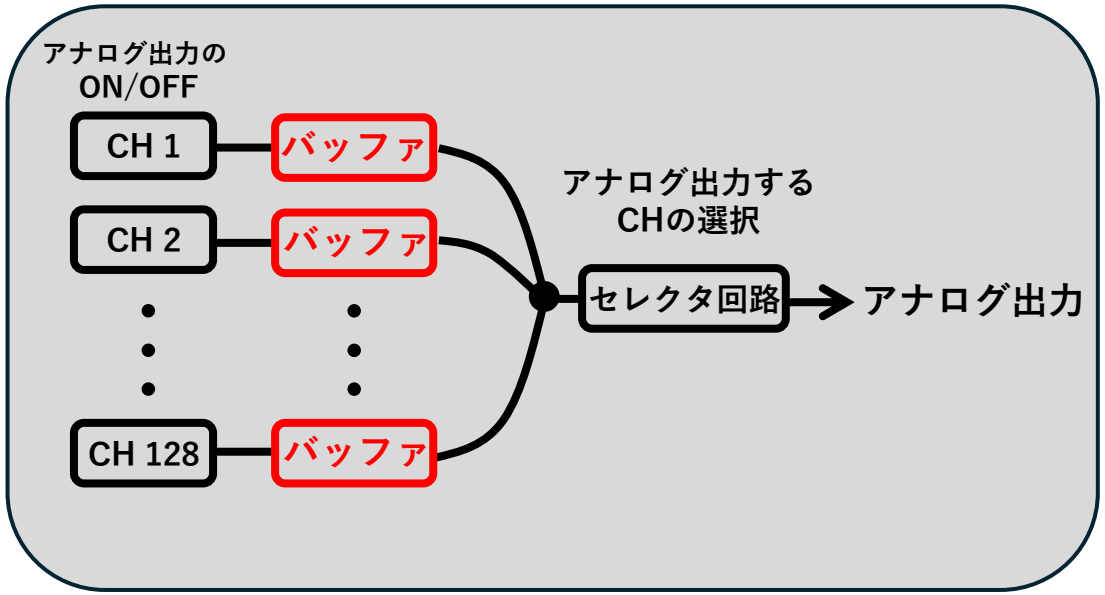


全32CHのアナログ出力をON

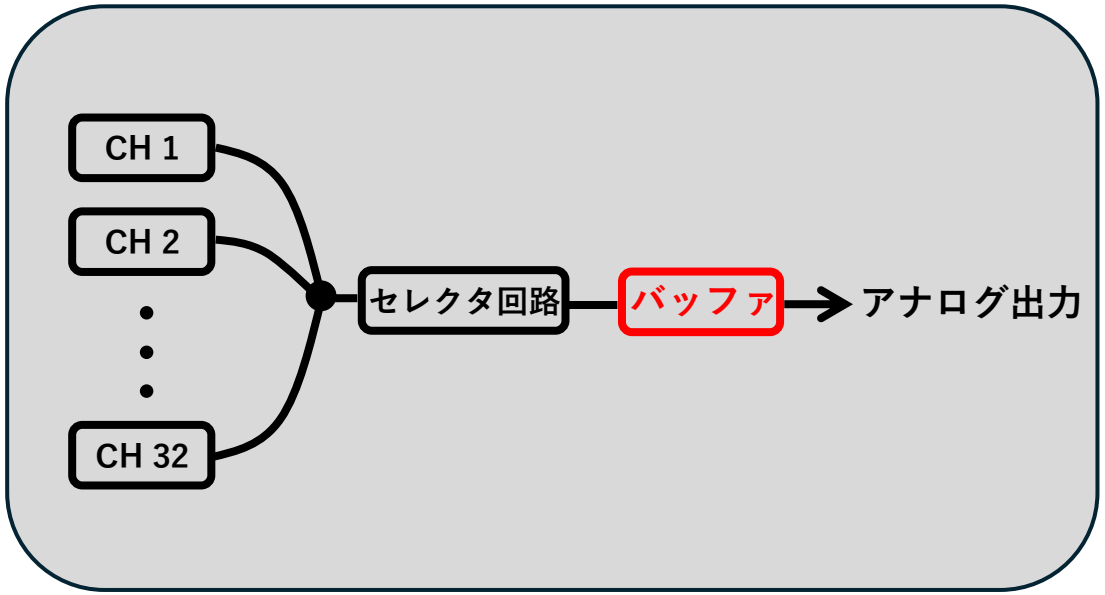
アナログ出力の問題と影響

- 各CHのアナログ出力のON/OFFとセレクタ回路により、出力するCHを選択する。
- バッファ構造に起因する発振が疑われる。
- **CRRC・DIFF出力の波形にも影響をしている可能性**がある。
- 今回の測定結果は参考値とし、次回の試作でバッファ構造を見直す。

ASICのバッファ構造の比較



従来のチップ： SliT128D
それぞれの**CHごと**にバッファを配置



改良型の試作機： SliT TST_v1
CH選択の信号線がまとまった後にバッファを１つ配置

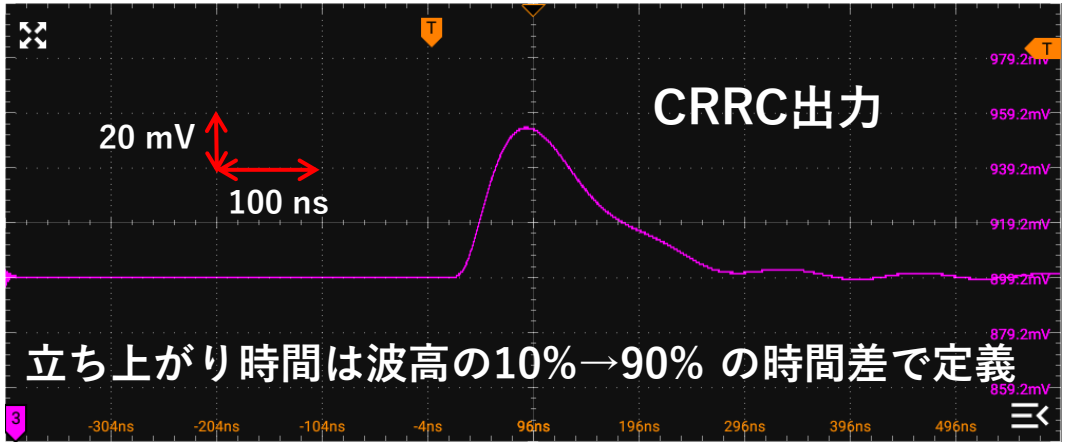
ASICの性能評価 - CRRC出力

■ 立ち上がり時間（@1 MIP）

評価対象	立ち上がり時間(ns)
従来ASIC：SliT128D	31.70
改良型ASIC：SliT TST_v1	38.35

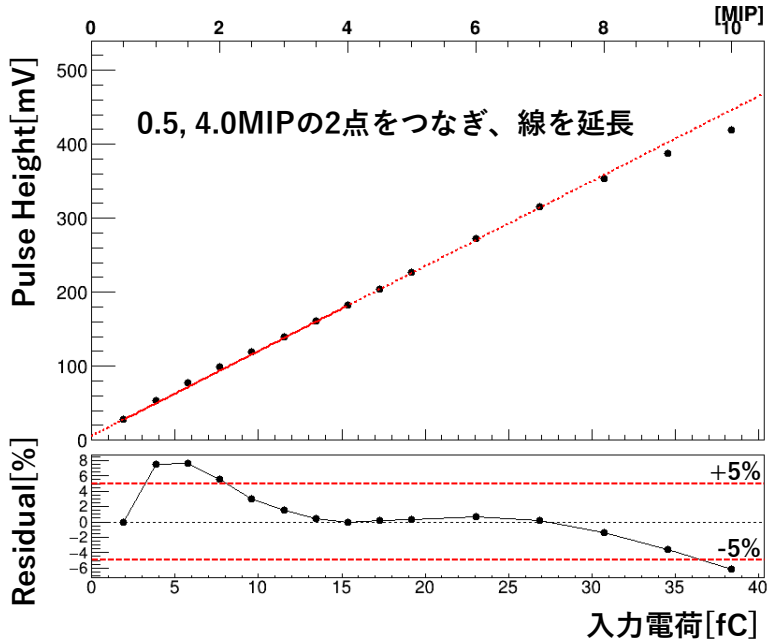
- 従来のASICに近い性能が確認できた。

1 CHのみアナログ出力をONにした時のCRRC出力



■ CRRC出力の線形性

- テストパルスの入力電荷に対するCRRC出力波高の線形性を調べた。
  - Residualが５％未満をDynamic Rangeとして定義
  - 入力電荷が2 MIP以下の範囲でDynamic rangeを満たさない。
- **小信号ではアナログモニタのバッファの影響を大きく受けていると考えている。**



ASICの性能評価 - DIFF出力

入力電荷を変化させた時のDIFF出力の
ゼロクロス時刻のずれをTime Walkとして評価

■ 測定条件

- 入力電荷：0.5 MIP ~ 3.0 MIP
- 各入力電荷に対するDIFF出力波形を重ねて比較

■ 評価方法

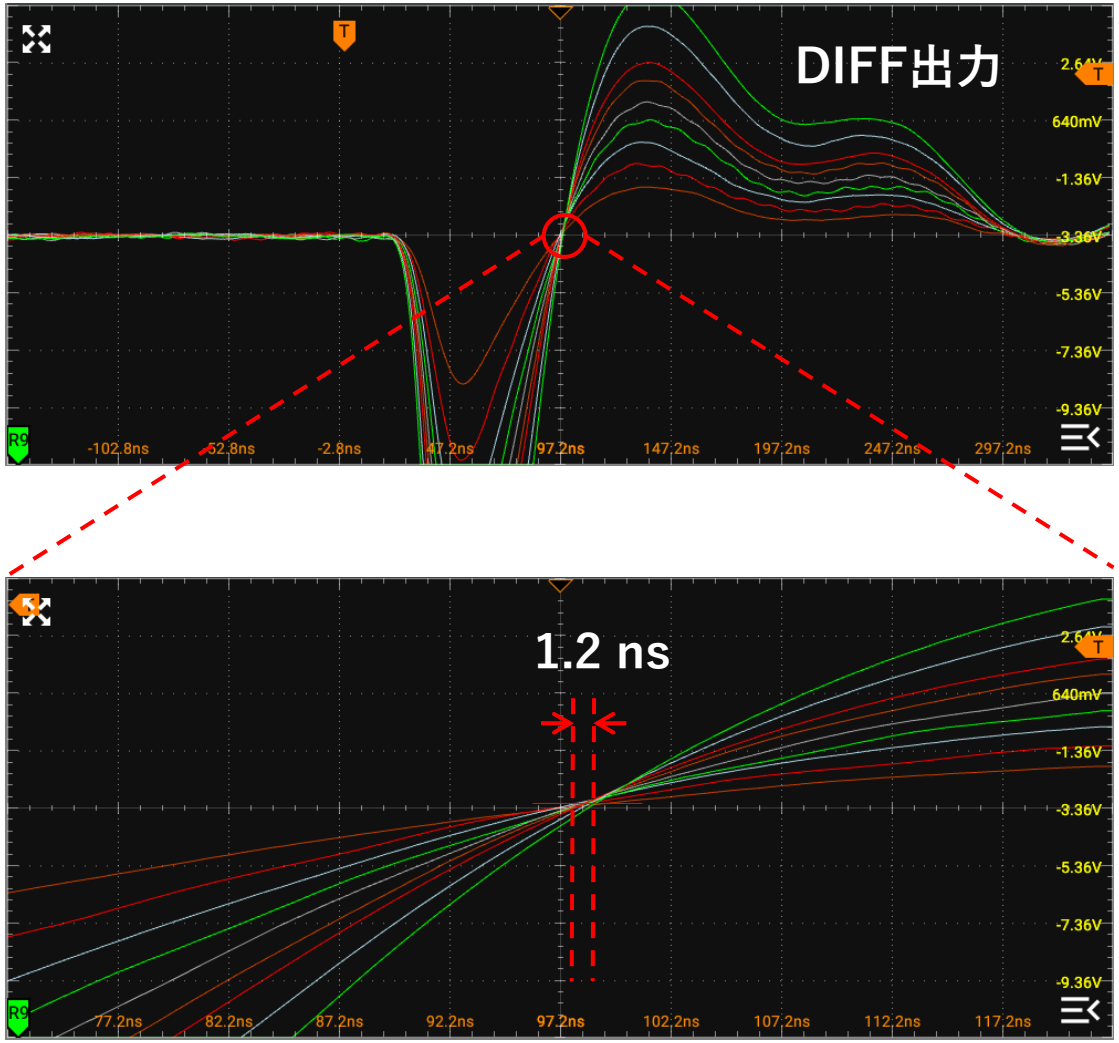
- 各波形のゼロクロス時刻t_{ZC}を評価
- Time Walkを次式で定義

$$\Delta t = \max(t_{\mathrm{ZC}}) - \min(t_{\mathrm{ZC}})$$

■ 結果

- $\Delta t \cong 1.2\ \mathrm{ns}$
- 要求値＜1 nsに近い性能が確認できた。

入力電荷の大きさの違いによる検出時刻のずれの評価



新ASICに導入する回路“PLL回路”について

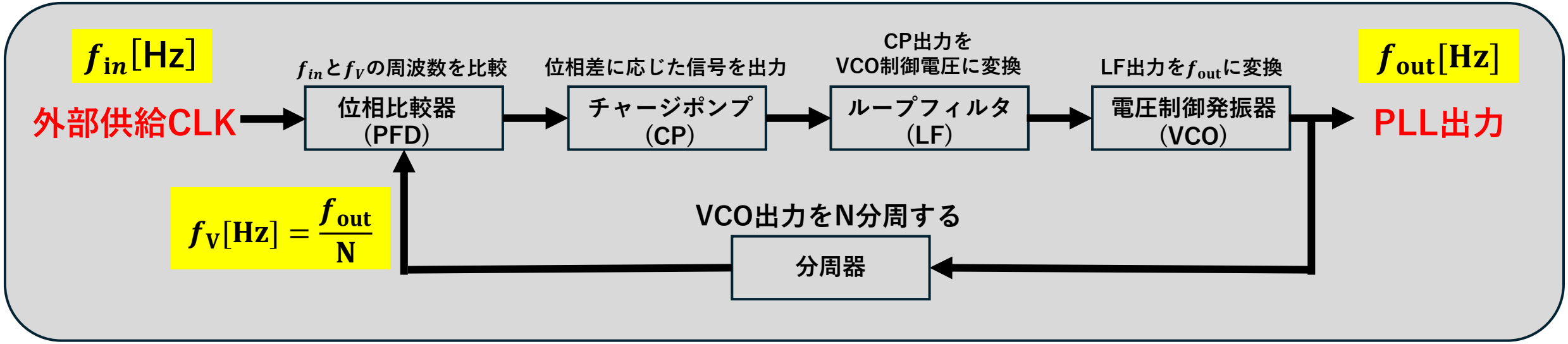
■ PLL（Phase Locked Loop）回路

…基準となる信号に位相同期したクロックを生成する回路。

- 基準の周波数となる入力信号f_{in}と、電圧に応じて周波数が変化する電圧制御発振器の出力f_{out}のフィードバック信号f_Vとの位相差を電圧制御発振器に入力することにより、**入力信号と出力信号の位相を同期**させる。
- $f_{in}=f_V$となるとき、電圧制御発振器が出力する周波数はロックされる。

改良型ASIC “SliT TST” では、80 MHzの基準クロックをもとに、800 MHzに逓倍する。

PLLの基本構造



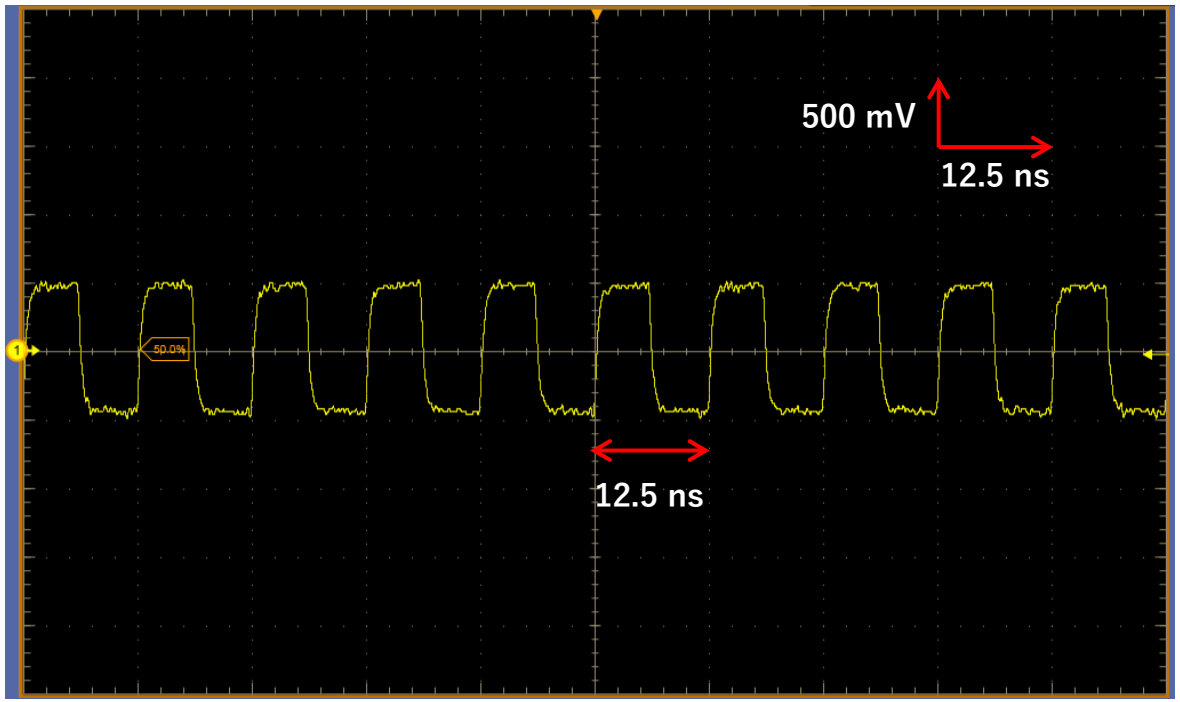
SliT TST_v1におけるPLL出力試験

- 外部から80 MHzの周波数のCLK信号をASICへ入力した。
- 期待される信号は800 MHz(1.25 ns周期)

しかし、

- **PLL出力は回路が自然発振している様子しか確認できない。（~670 MHz）**

SliT評価基板に入力したCLK信号

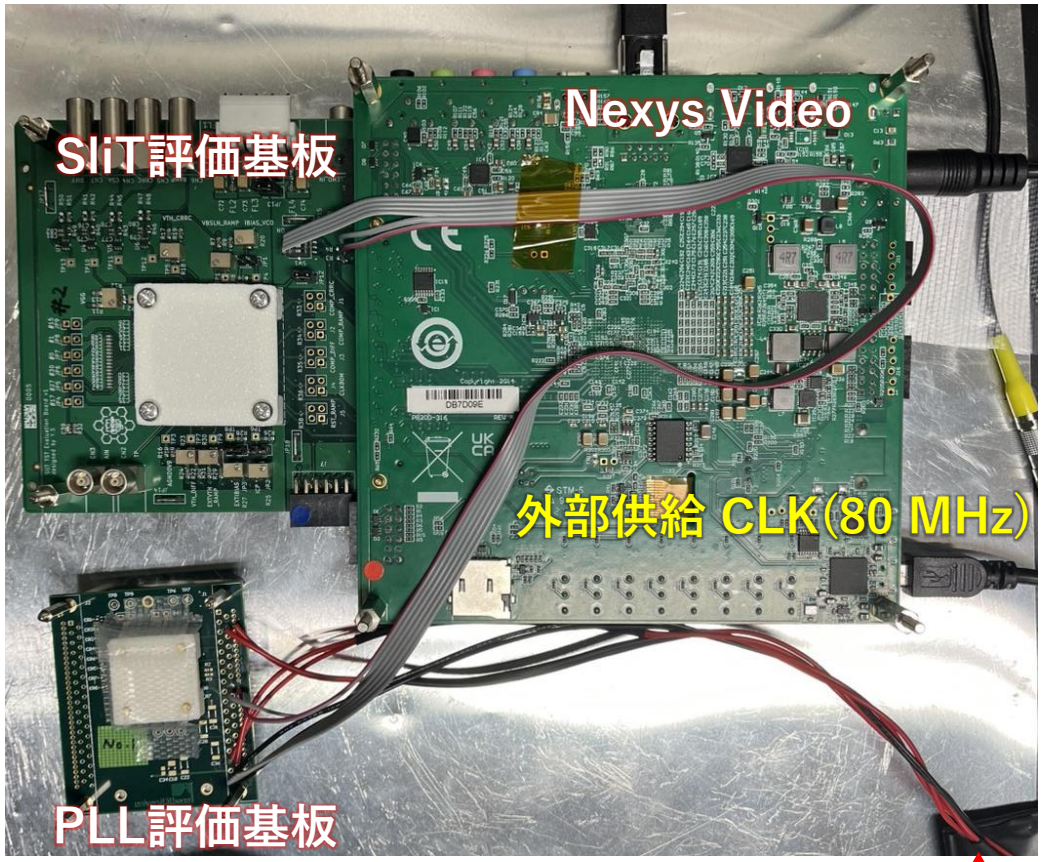


別用途のチップを用いたPLL動作試験

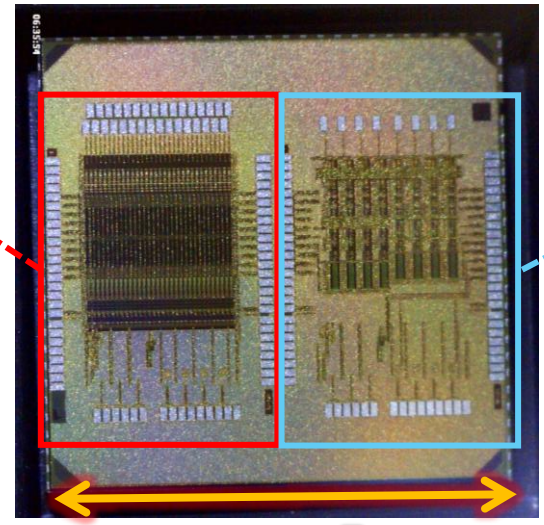
- **PLL回路を単独で評価**するため、同じPLL回路を搭載した別用途のチップを用いて試験を行った。
  - **利点：**
    PLL回路の電圧制御発振器を外部から制御可能

- FPGAからSliT評価基板を介してPLL評価基板へ80 MHzの外部CLKを供給

セットアップ



SliT TST_v1



PLL回路の評価に使用

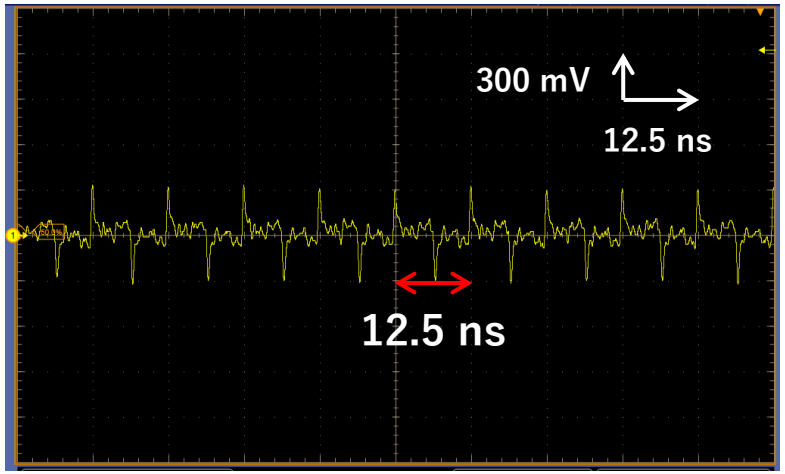
PLL評価基板　試験結果

- 外部から与える80 MHzのCLK信号の形が崩れてしまっている。
  - 配線の修正をしたが、変化なし
  - PLL出力は**約280 MHz(~3.6 ns周期)**で発振
- 自然発振周波数は**約250 MHz(~4.0 ns周期)**で発振
- 外部CLKを供給すると自然発振周波数より速く発振する。

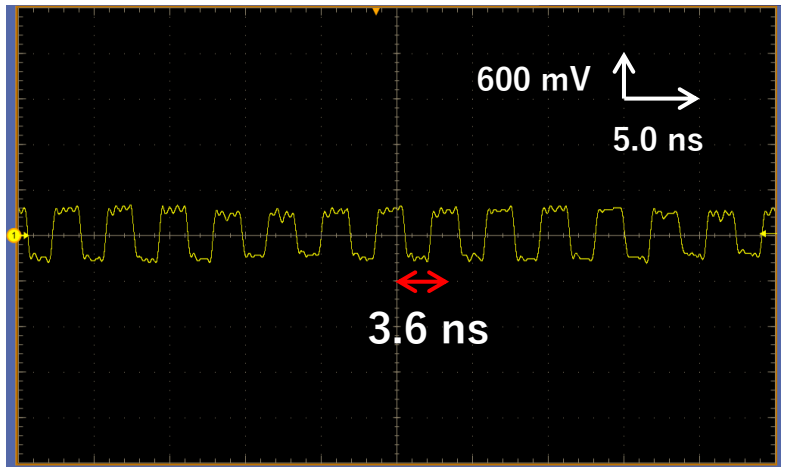
SIiT評価基板で行った試験とは違い、**PLL自体は動いている**と思われる。

■ **PLLがロックしない原因**として考えているもの
- **外部CLKの配線**
- **トランジスタの性能の個体差**

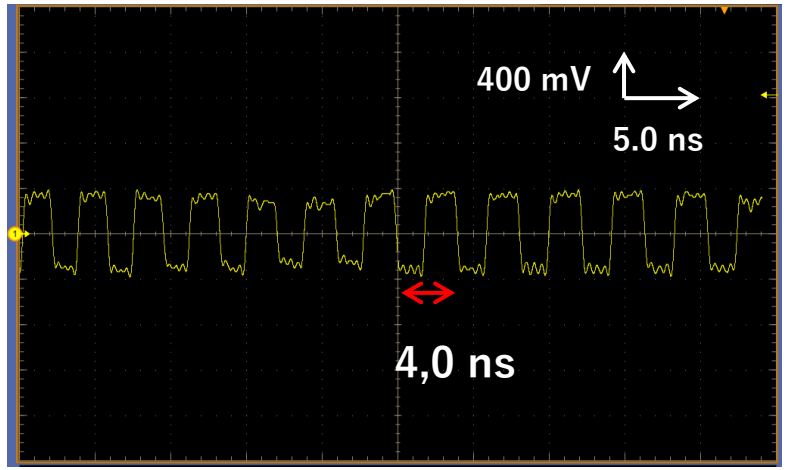
検証予定の解決策
- チップ近傍から外部CLKを供給
- 外部から電圧制御発振器を制御
- 外部CLKの周波数を低くする。



PLL評価基板上 80 MHzの外部CLK



PLL出力（外部CLKあり）



PLLの自然発振（外部CLKなし）

まとめと今後の展望

■まとめ

- 現在、J-PARC muon $g-2$/EDM 実験用読み出しASICの改良を進めている。
- 新しいASICチップの試作・ワイヤーボンディング実装を完了し、性能評価試験を開始した。
- スローコントロール信号、ASICの応答を観測できた。
- アナログモニタのバッファに問題がある事を確認した。
  - CRRC出力・DIFF出力に影響を与えている可能性がある。
- PLLを個別に測定
  - PLL自体は動いているが、ロックしていない。
    →原因を探っている途中

■今後の展望

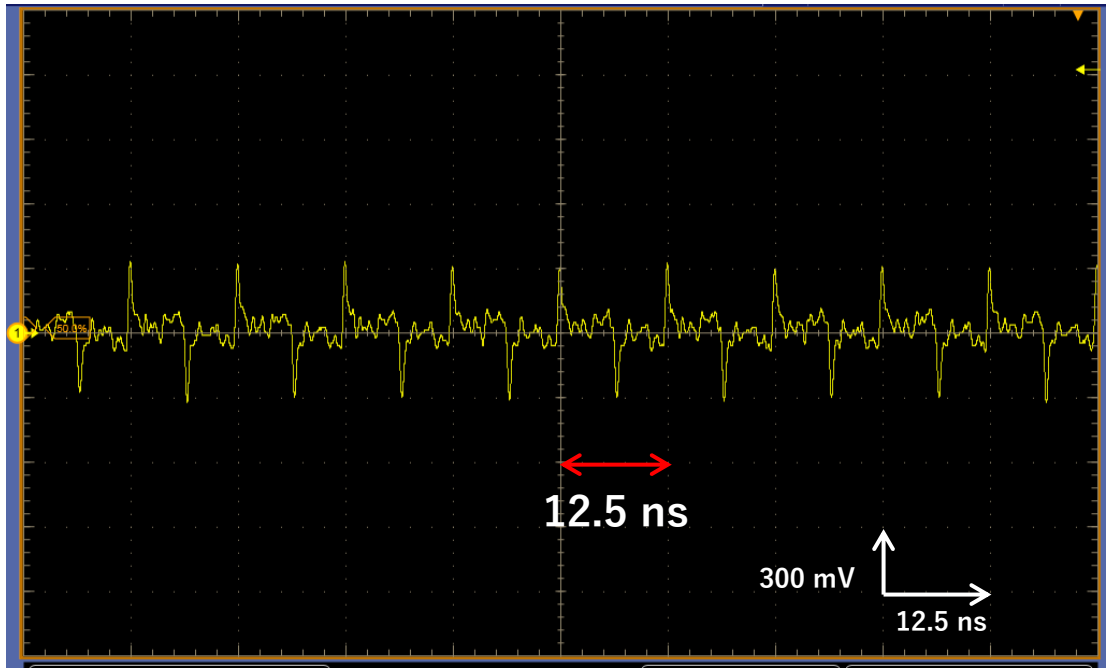
- PLLの試験を引き続き進める。
- 次回の試作でアナログモニタのバッファの構造の修正をする。
- 次回の試作は来年度を予定している。
  - 現状ではPLLなどの動作が確認できていないため、これらの原因を特定し、解決策を練った上で試作に臨む。

PLLがロックしない原因の候補・解決策

- 外部から80 MHzがPLL評価基板に正しく供給されているかを確認した。
  - **外部CLKの形が崩れてしまっている。**
  - 配線を修正したが、変化なし。
    →基板にダメージを与えてしまった可能性を考慮し、**チップ近傍から供給**してみる。

- トランジスタの性能の個体差によるもの
  - シミュレーションによると、**個体差によってトランジスタの動作が遅くなる条件では、PLLが正常に動作しない。**
    →**VCOに与える制御電圧を外部からコントロール**してみる。
  - **外部CLKの周波数を低くしてみる。**

PLL評価基板上で観測した80 MHzの外部CLK



今後の試験で、上記の解決策を検証する予定