

液体アルゴンTPC用 信号読み出しエレクトロニクスの 低温性能向上のための開発

岩手大学院 総合科学研究科

小坂琢人

岩手大^A、KEK^B、Open-it^C、神戸大理^D

坂下健^{BC}、田中真伸^{BC}、長谷川琢哉^{BC}、岸下徹一^{BC}、庄子正剛^{BC}、身内賢太郎^{CD}、
成田晋也^{AC}、根岸健太郎^{AC}、李沢祥太^{AC}、窪田諒^{CD}、東野聡^{CD}

序論 研究目的

3次元飛跡検出器(TPC:Time Projection Chamber)を用いた、

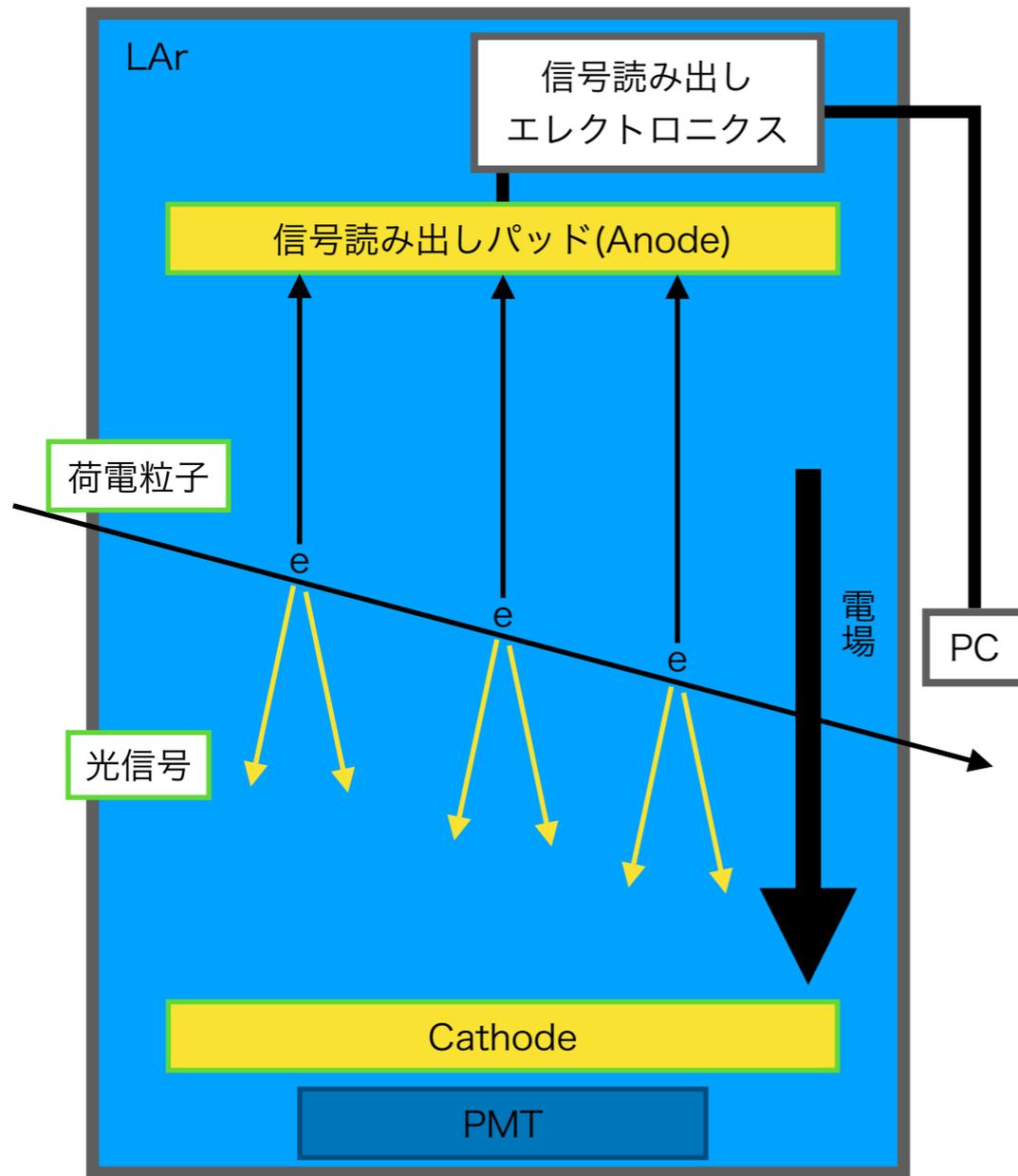
- **液体アルゴンTPC(LAr-TPC)**による、
長基線ニュートリノ振動研究、陽子崩壊探索研究、
- **陰イオンガスTPC(NI μ TPC)**による、暗黒物質探索実験
などが計画、進められている。



様々な検出器で汎用的に用いることが可能な
**ASIC技術に基づく信号読み出しエレクトロニクス
LTARS(Low Temperature Analog Readout System)**
を開発した。

信号読み出しエレクトロニクスの開発目標

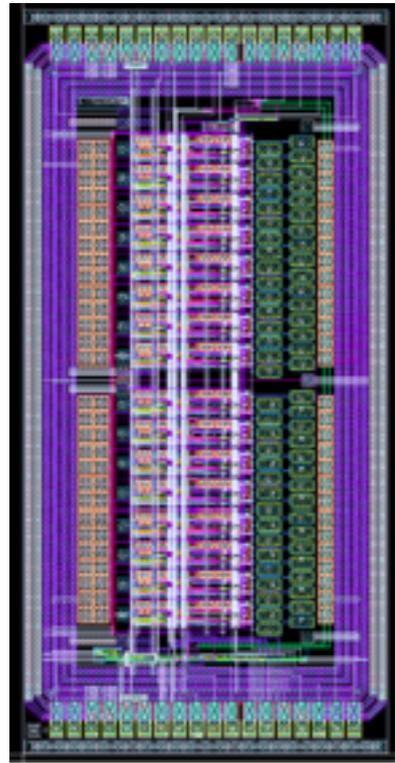
本発表では、LAr-TPCでの使用を想定した性能について説明する。



LAr-TPCの模式図

- 高集積
- 低消費電力
- 低温環境下での安定動作
(LAr温度: -186°C)
- 低ノイズ ($\text{ENC} < 3000e^-$)
 - mip信号をS/N10以上で読む出す。
- 高ゲイン (10mV/fC)
- ワイドダイナミックレンジ
($\pm 1600\text{fC}$)
 - 最小電離電子による事象に対し、約50倍の大きさであるシャワー事象を検出する。

LTARsの回路構成



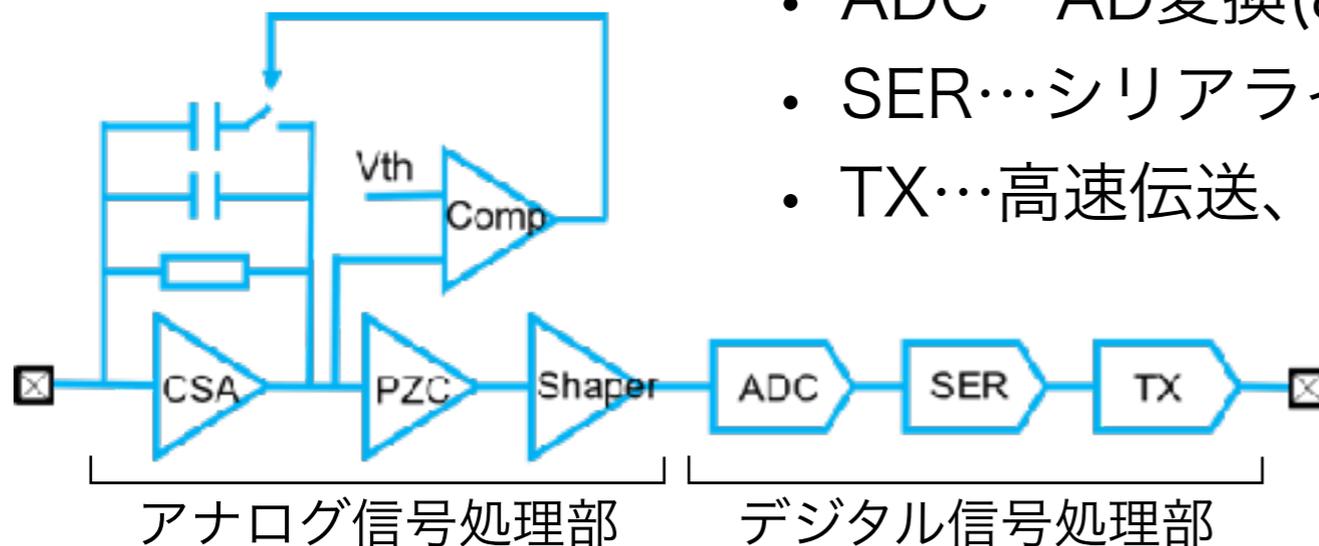
chipレイアウト図

アナログ信号処理部

- 電荷有感型前置増幅器(CSA)…電荷電圧変換を行う。
- 比較器(Comp)…CSAの出力の大きさに応じて**ゲインの自動切り換え**を行う。
- ポールゼロキャンセル回路(PZC)…ハイパスフィルタを用い長い時定数をキャンセルする。
- 波形整形回路(Shaper)…信号の増幅、波形の整形、帰還抵抗値を調整することで**時定数の切り換え**を行う。

デジタル信号処理部

- ADC…AD変換(8bit)を行う。
- SER…シリアライザでデータのシリアル化を行う。
- TX…高速伝送、ノイズ対策のためLVDSで伝送を行う。



1ch分の回路構成

信号読み出しエレクトロニクスの設計仕様

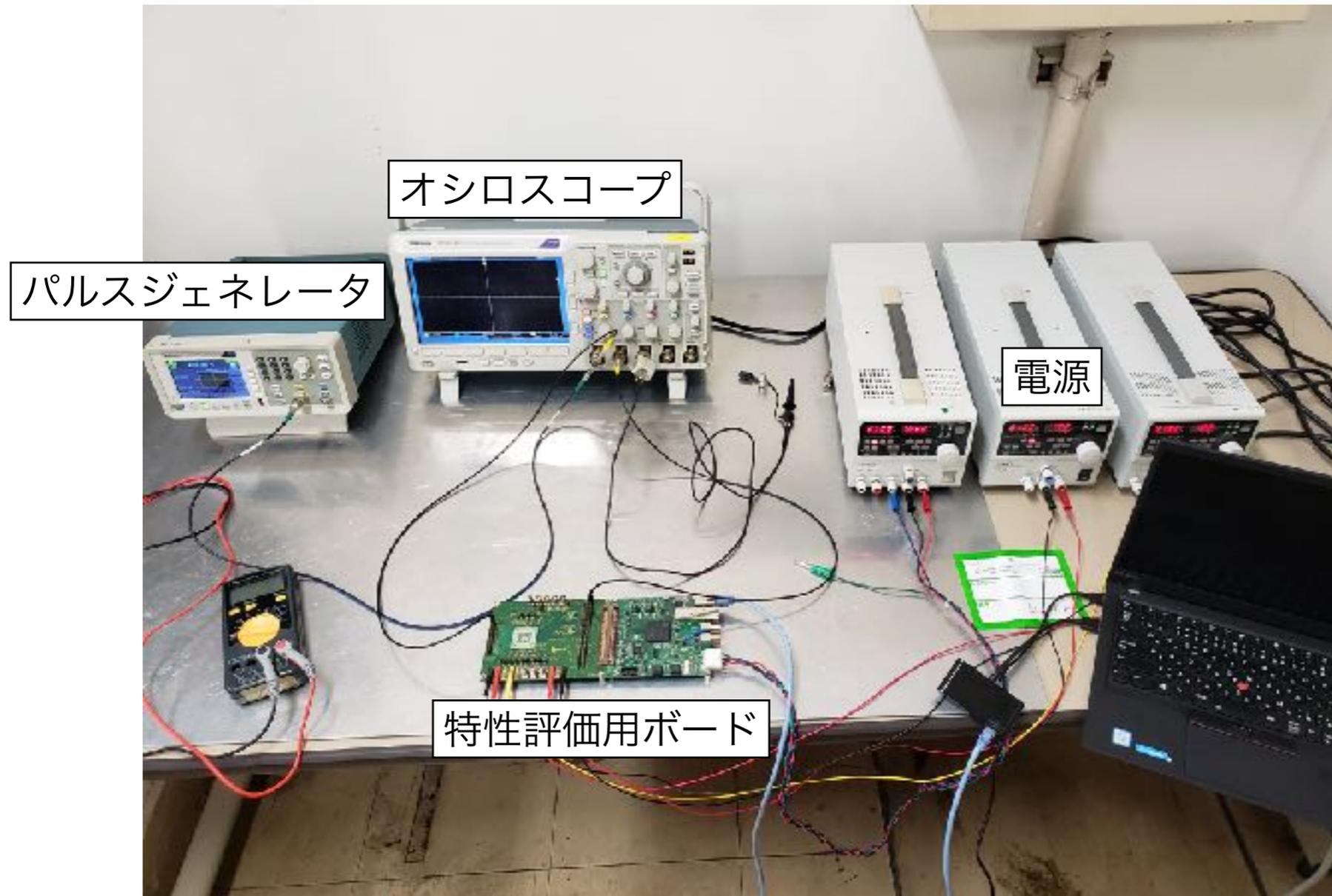
LTARS設計仕様

Parameter	High Gain(HG)	Low Gain(LG)
Peaking Time	1 μ s(Fast),4 μ s(Slow)	
Conversion Gain	10mV/fC	0.5mV/fC
Dynamic Range	\pm 80fC	\pm 1600fC
ENC	<3000e ⁻	<62500e ⁻

- Peaking Time…波形の立ち上がりからピークまでの時間
- Conversion Gain…出力電圧/入力電荷
- Dynamic Range…入出力値の線形性が取れている範囲
- ENC…検出器容量300pFを想定した入力等価雑音電子数

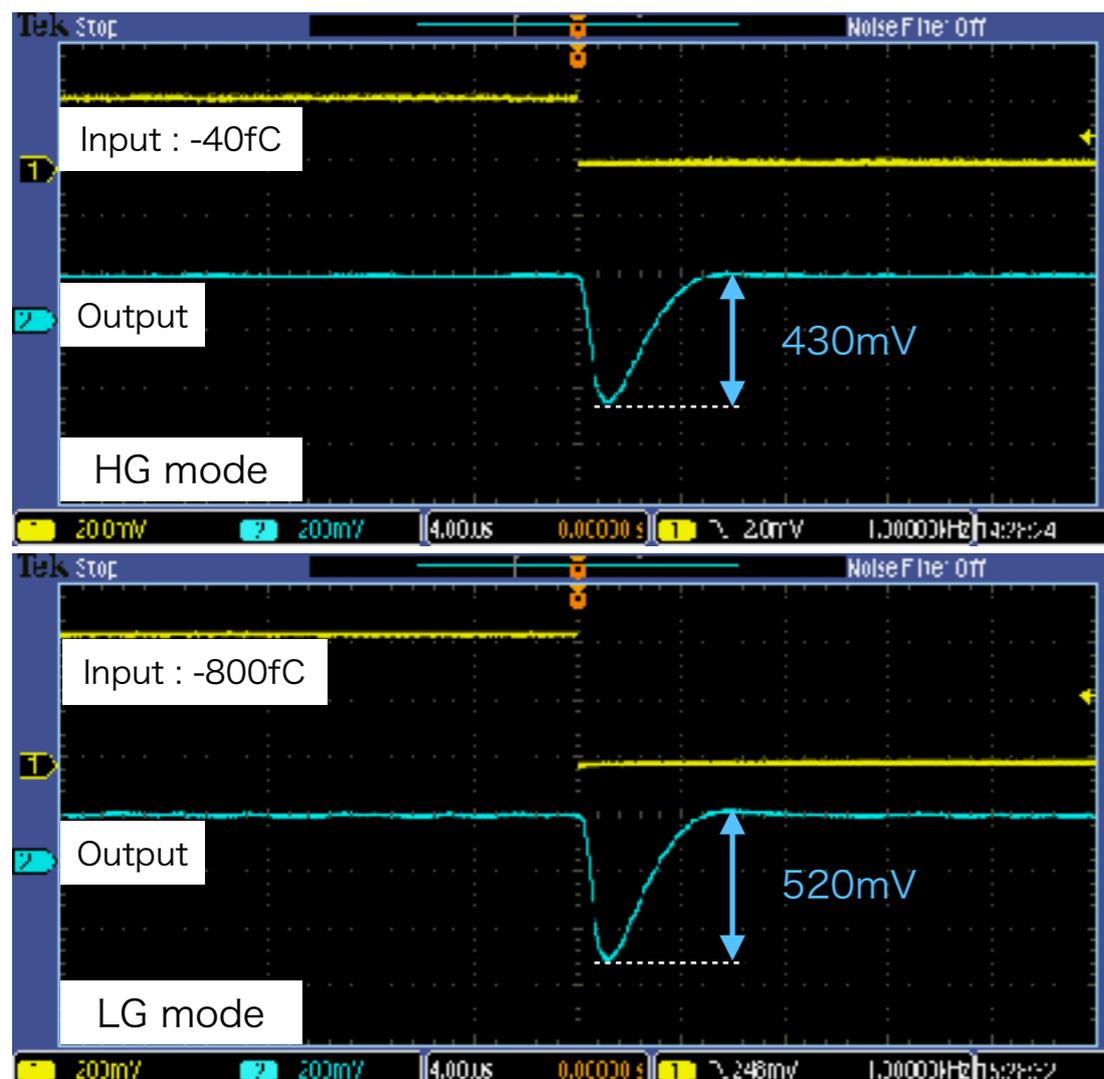
上記の仕様のもと、LTARS2018を開発し、アナログ信号処理部の性能評価を行なった。その結果から改良を図る、LTARS2020を開発した。

特性評価試験セットアップ



- パルスジェネレータより特性評価用ボードへパルス電圧を入力する。
(電圧電荷変換により電荷入力)
- オシロスコープでアナログ出力をモニタ、波形データを取得する。

アナログ信号処理部の室温試験結果



アナログ出力波形

Parameter		High Gain(HG)	Low Gain(LG)
Peaking Time		1.2 μ s	1.0 μ s
Conversion Gain	正極性	10.0mV/fC	0.6mV/fC
	負極性	10.7mV/fC	0.65mV/fC
Dynamic Range		\pm 100fC	\pm 1600fC
ENC		2700e ⁻	37000e ⁻

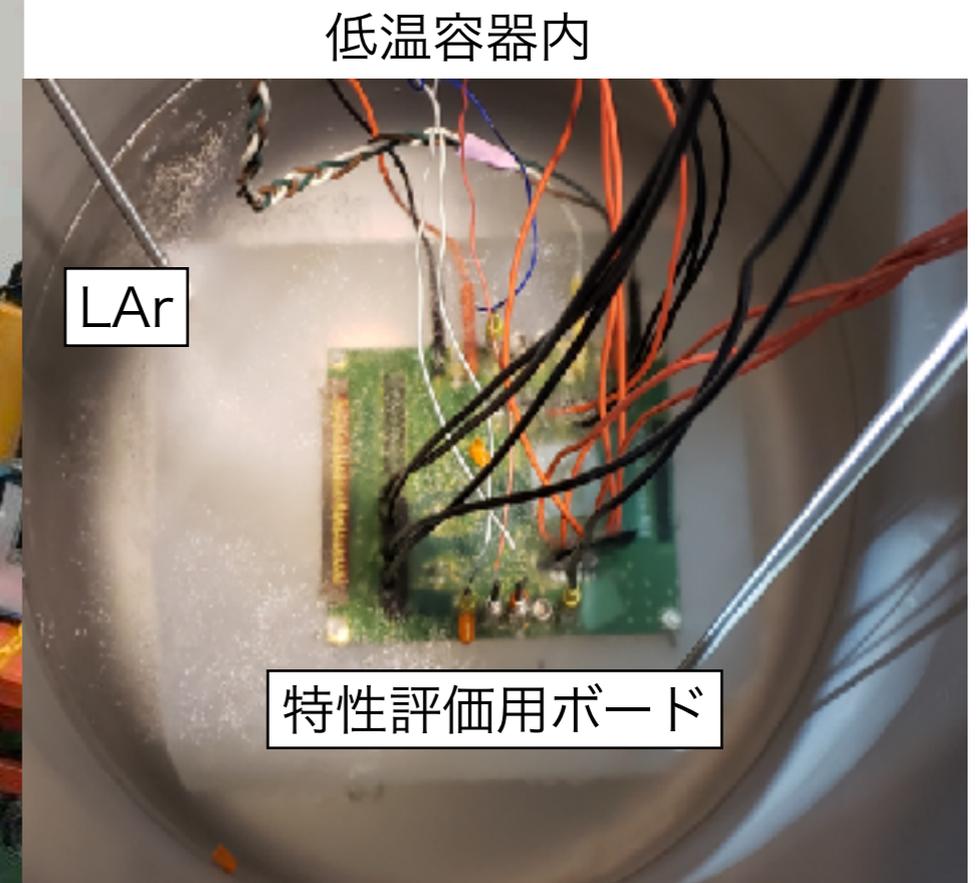
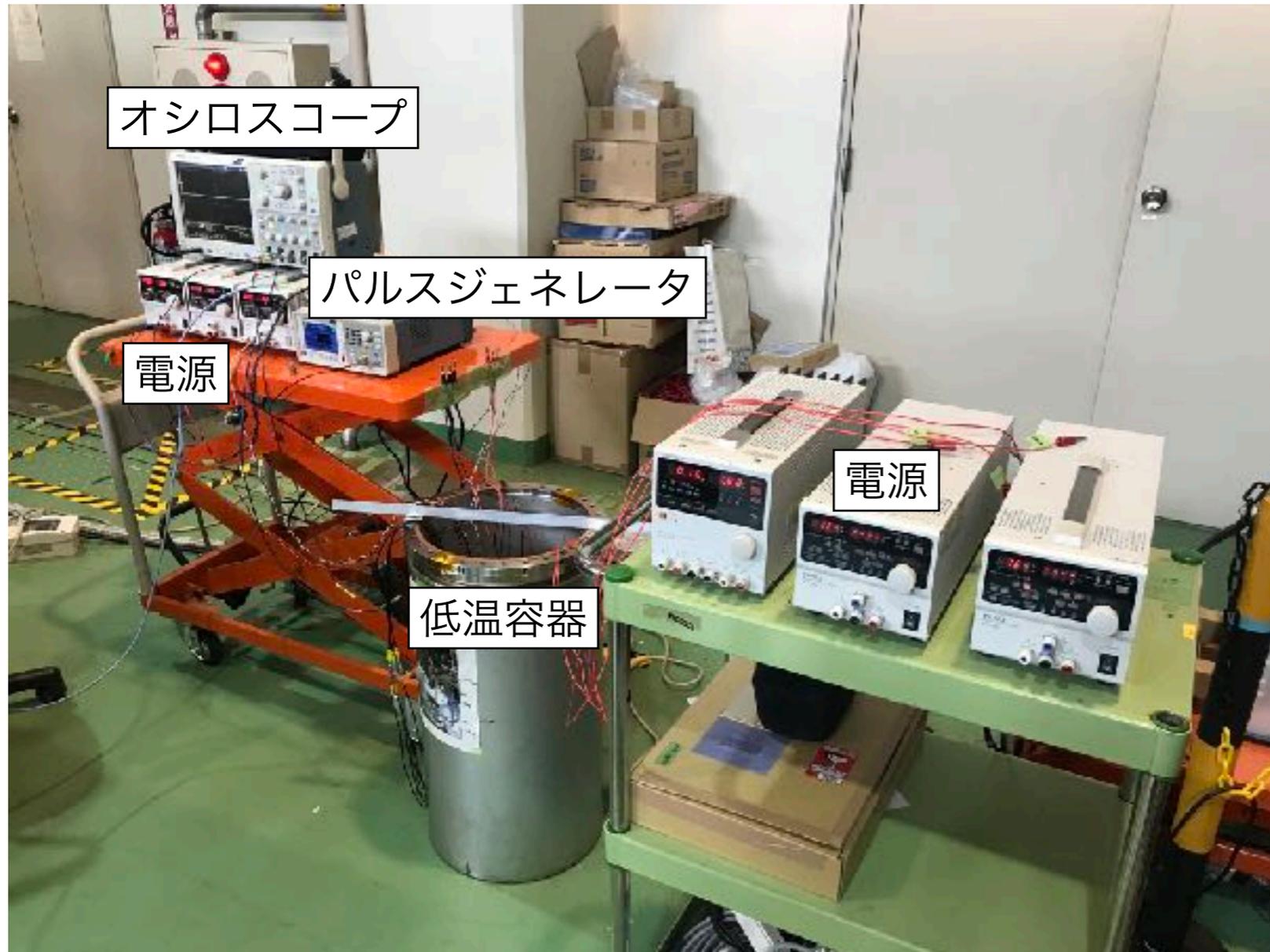
設計仕様

- Peaking Time : 1 μ s,
- Conversion Gain : 10mV/fC(HG), 0.5mV/fC(LG)
- Dynamic Range : \pm 80fC(HG), \pm 1600fC(LG)
- ENC : <3000e⁻(HG), <62500e⁻(LG)

各パラメータが仕様を満たしている。

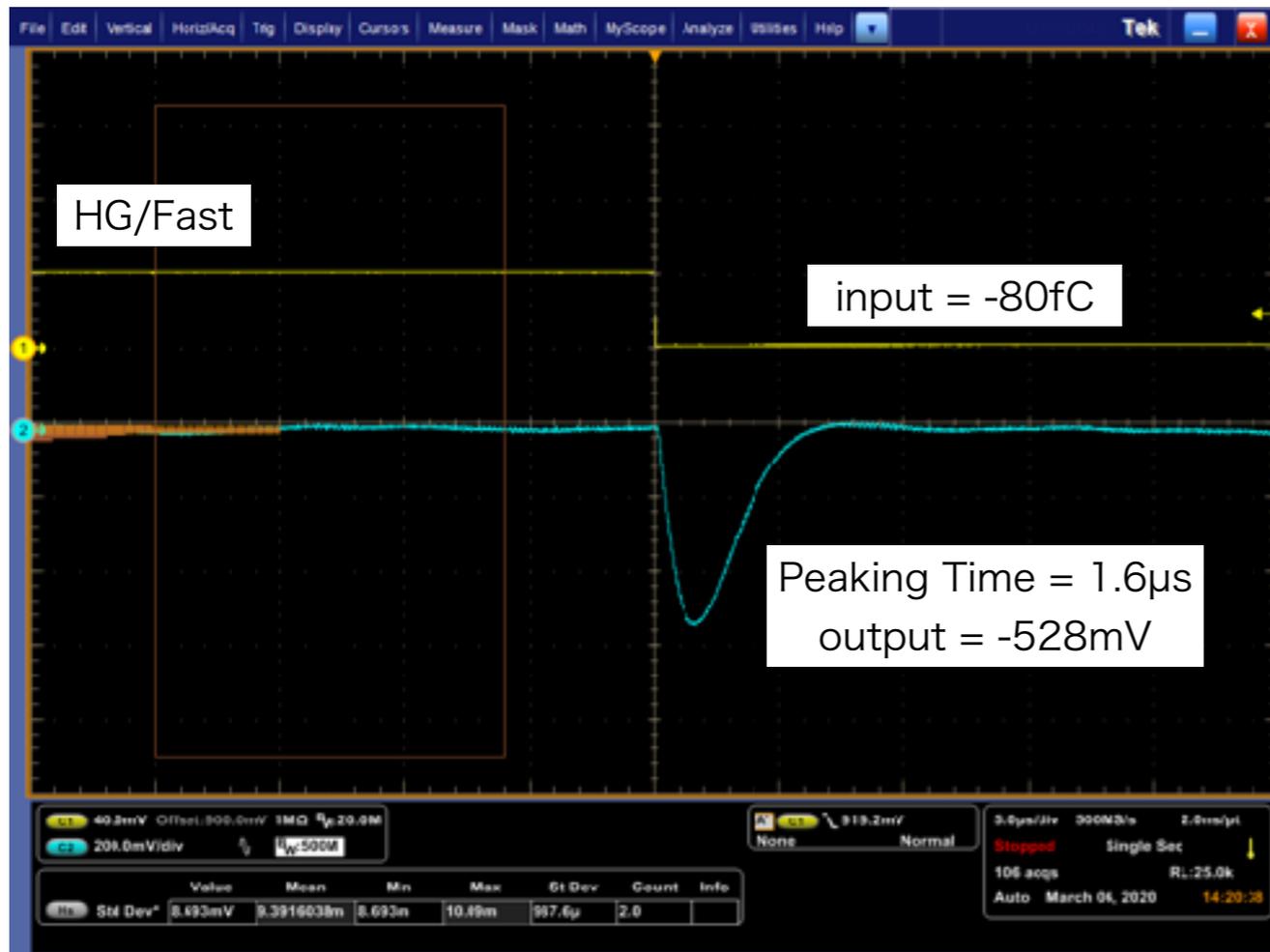
アナログ信号処理部の性能は室温で運用可能なレベルである。

低温試験セットアップ



- LArで満たされた低温容器内に特性評価用ボードに搭載したLTARS2018を配置。
- 特性評価用ボードのアナログ出力を低温容器外のオシロスコープに接続し波形データを取得する。

低温試験結果



低温時アナログ出力波形

低温環境での測定結果

- Peaking Time : 1.6 μ s
- Gain : 6.6mV/fC

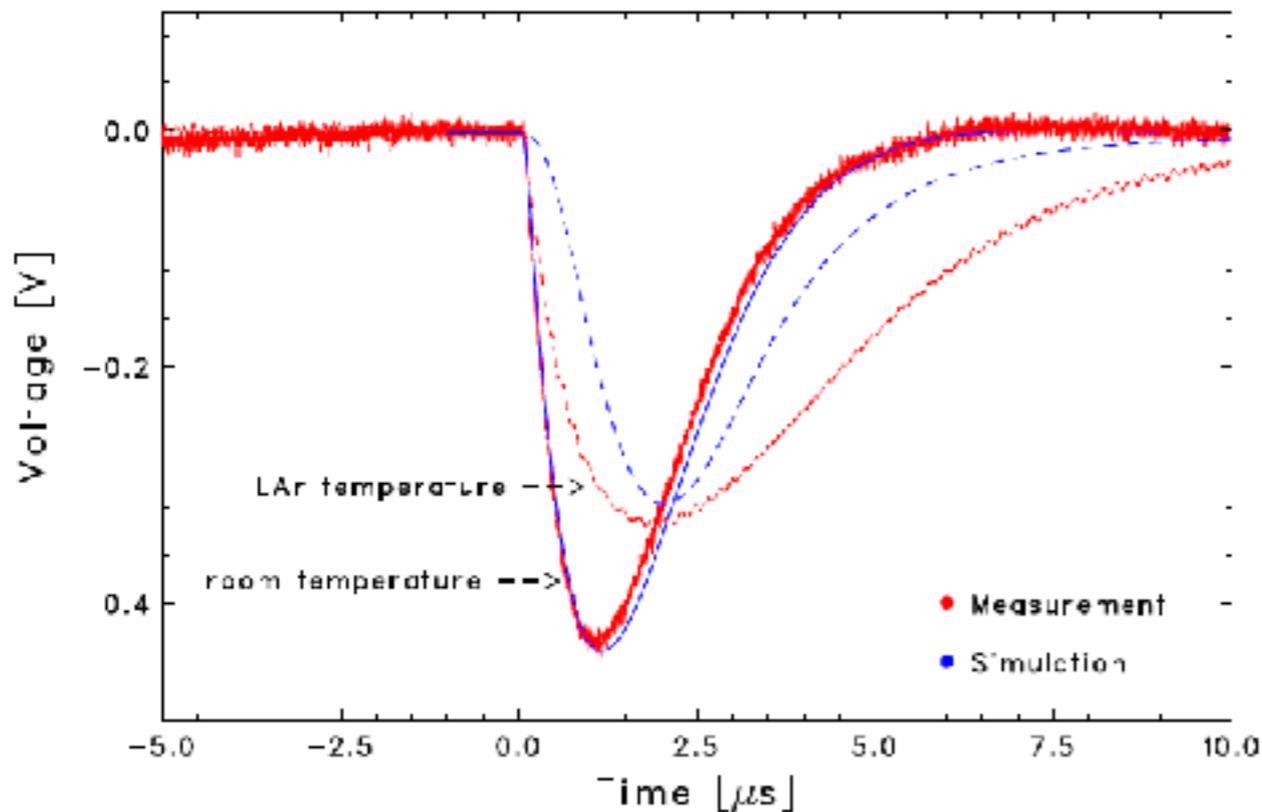
室温での結果と比較すると、Peaking Timeは約**60%増加**
Gainは約**40%低下**と
低温での性能劣化が見られた

温度の低下によりトランジスタの閾値電圧が上昇、それによりデバイスの動作点が変化してしまい、
想定されたバイアス電流が供給できていなかったことが原因

低温シミュレーション

基板バイアス効果を利用してトランジスタの閾値の変化を模倣的に再現する独自のシミュレーション手法

- 各トランジスタのパラメータを変更する代わりに、基板の電圧を変更する。
- 実測値と同様の性能の変化を再現することができた。



室温と低温でのアナログ出力波形の比較

- 特性評価用ボード(SIRONEKO)に実装している素子の影響によりLAr温度の測定での波形が幅を持っている

基板バイアス効果

Trの閾値電圧が基板の電圧により変動すること

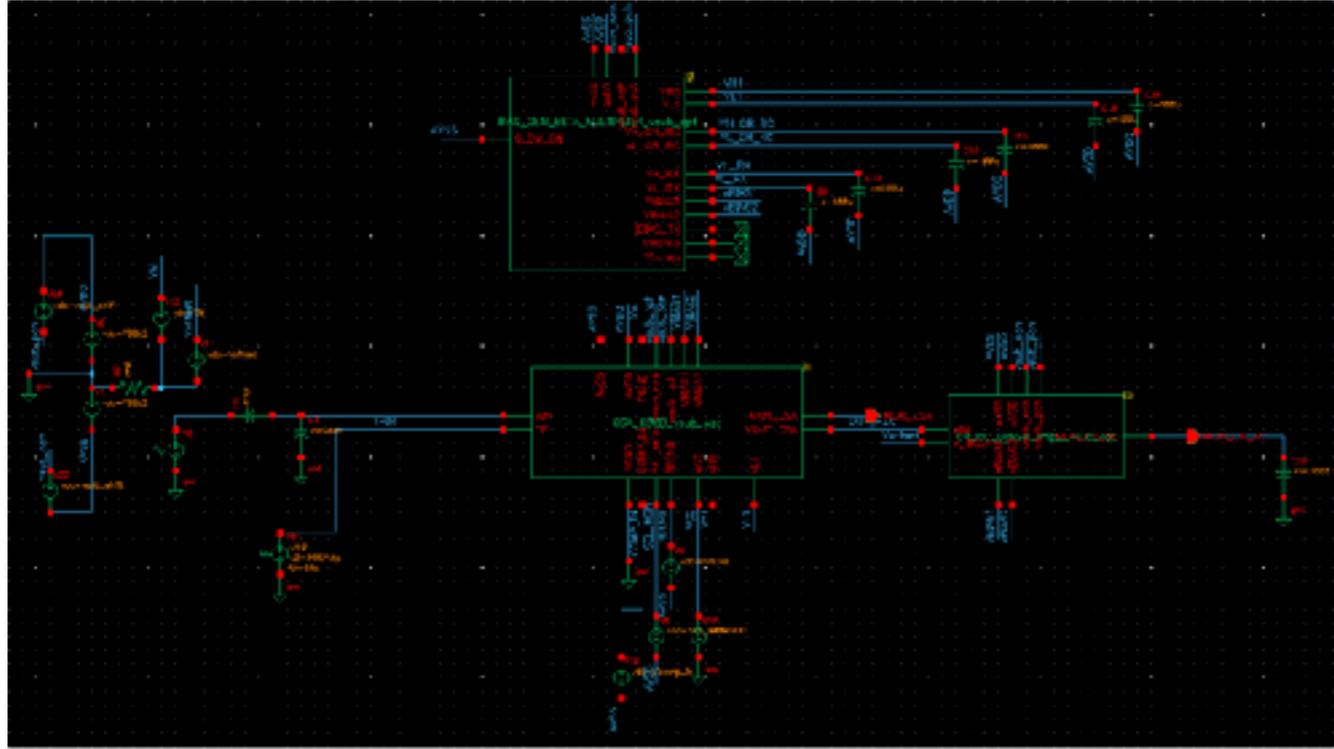
$$V_{th} = V_{th0} + \gamma(\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|})$$

V_{th} : Trの閾値電圧、 V_{th0} : 室温でのTrの閾値電圧、

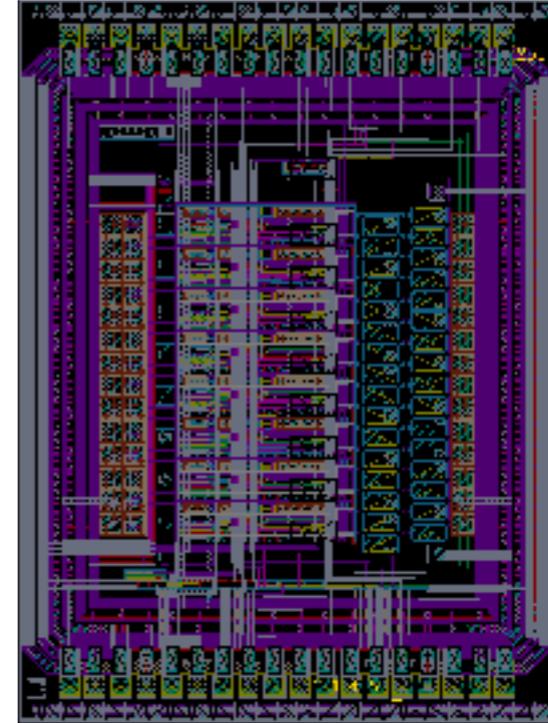
γ : 基板バイアス効果係数、

Φ_F : シリコンのフェルミ準位、 V_{SB} : ソース-基板間電圧

改良版ASIC (LTARS2020)



1ch分の回路構成



chipレイアウト図

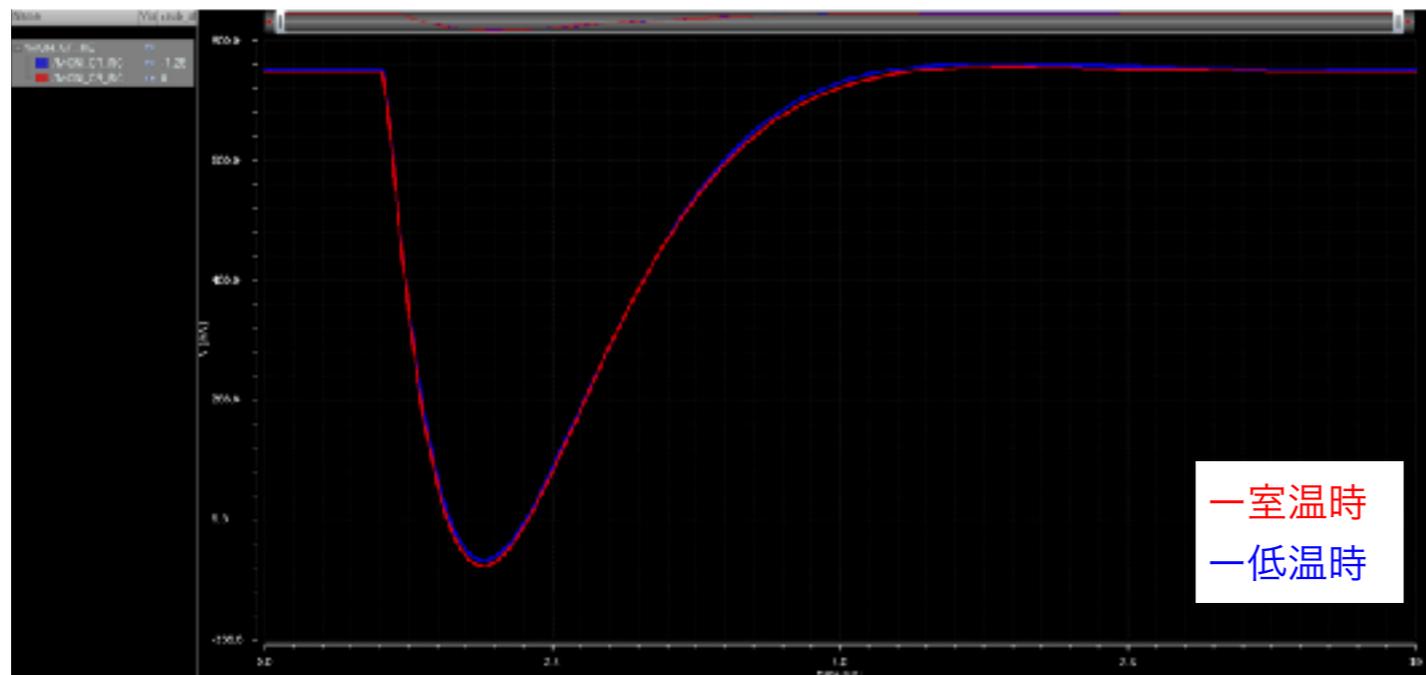
LTARS2020 LTARS2018の改良版、低温性能向上を目指す

<変更点>

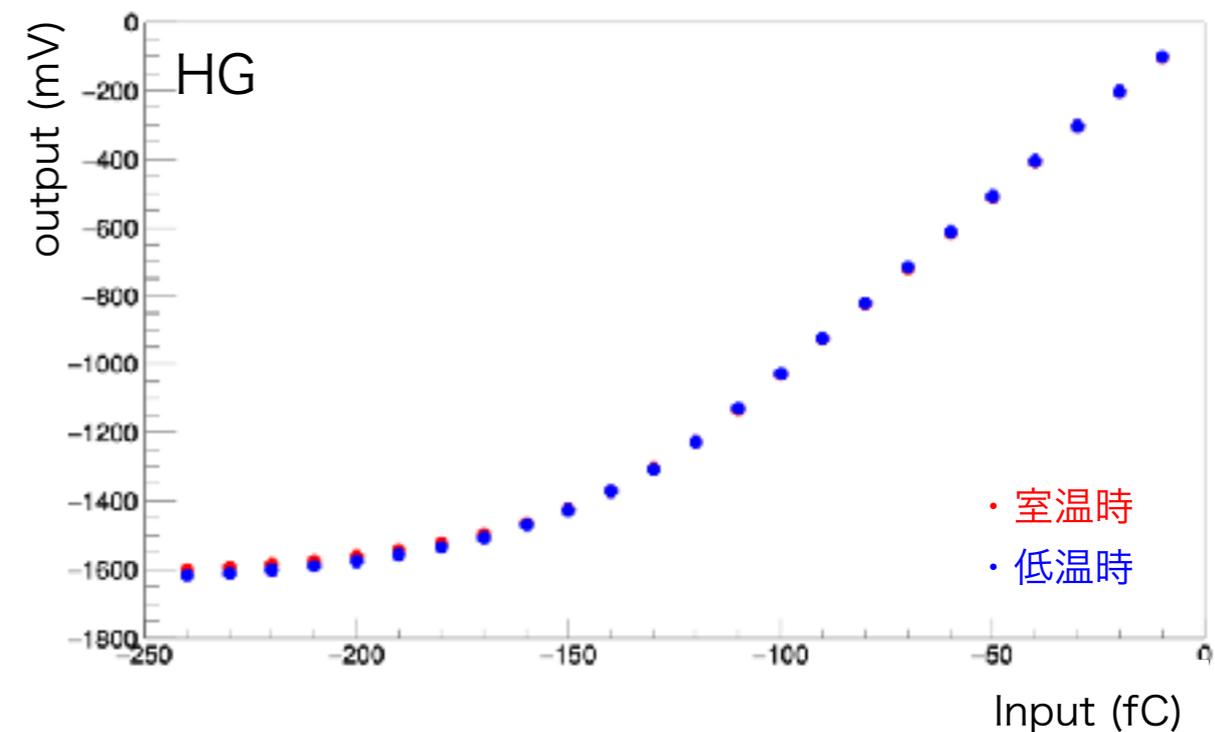
- ・ フィードバック機構を用いたバイアス回路により、ASIC内部でバイアス電流を生成、供給することができる。
 - 低温環境でトランジスタの閾値電圧が変化しても、ASICには一定のバイアス電流が供給される。

低温シミュレーションによりLAr温度での性能の検証、
低温試験により低温環境での動作の確認を行った。

低温シミュレーション



アナログ出力波形の比較

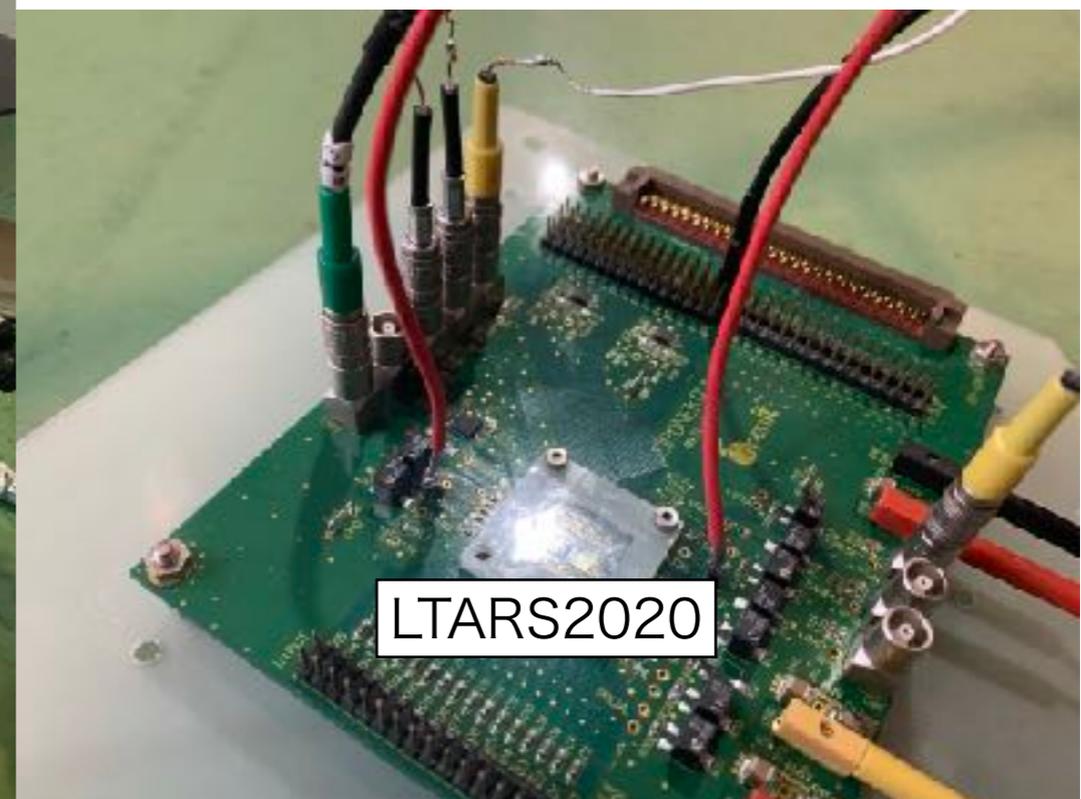
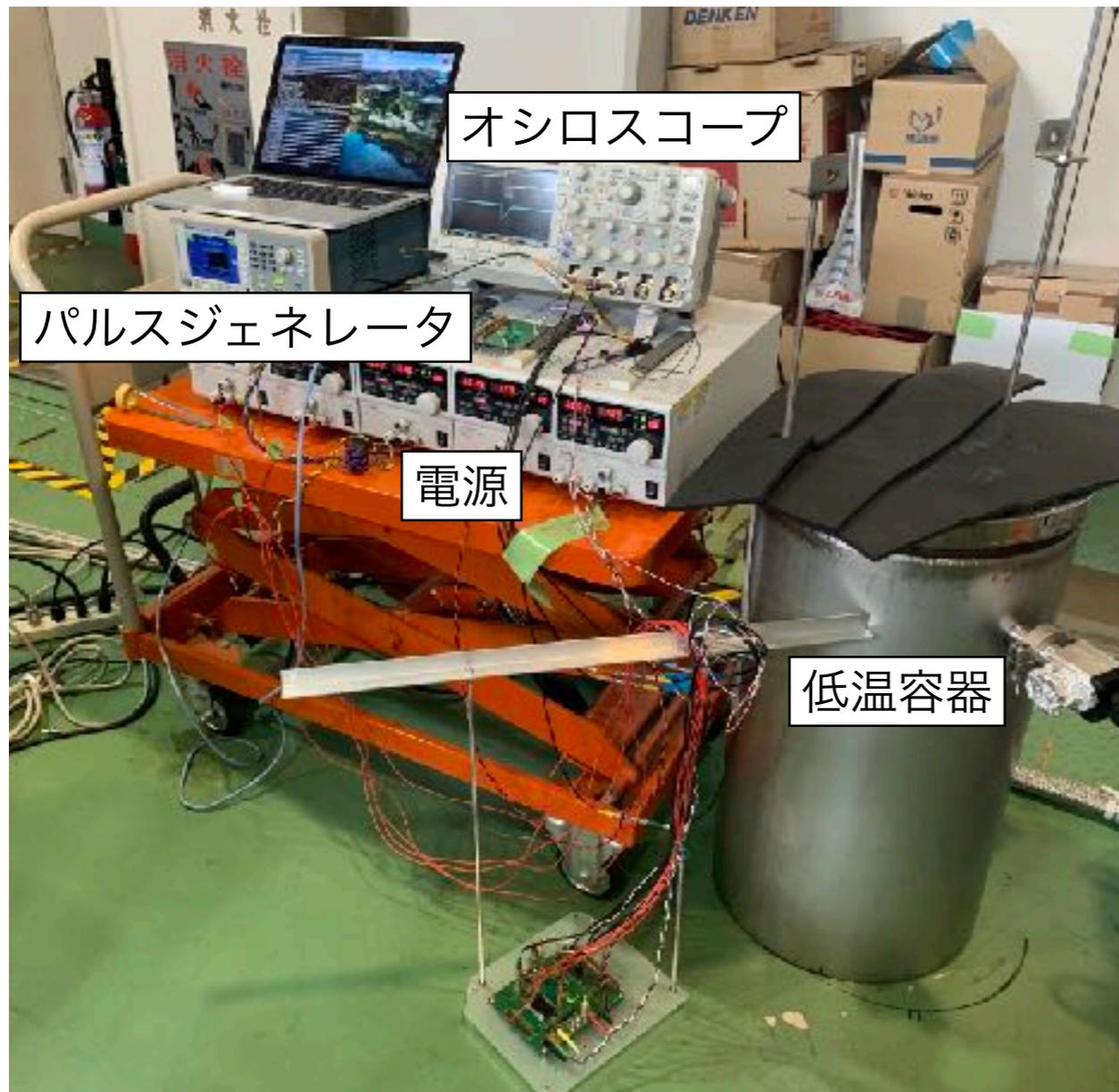


Conversion gainの比較

基板バイアス効果を考慮した低温シミュレーションで
LTARS2020の低温性能の検証を行なった。

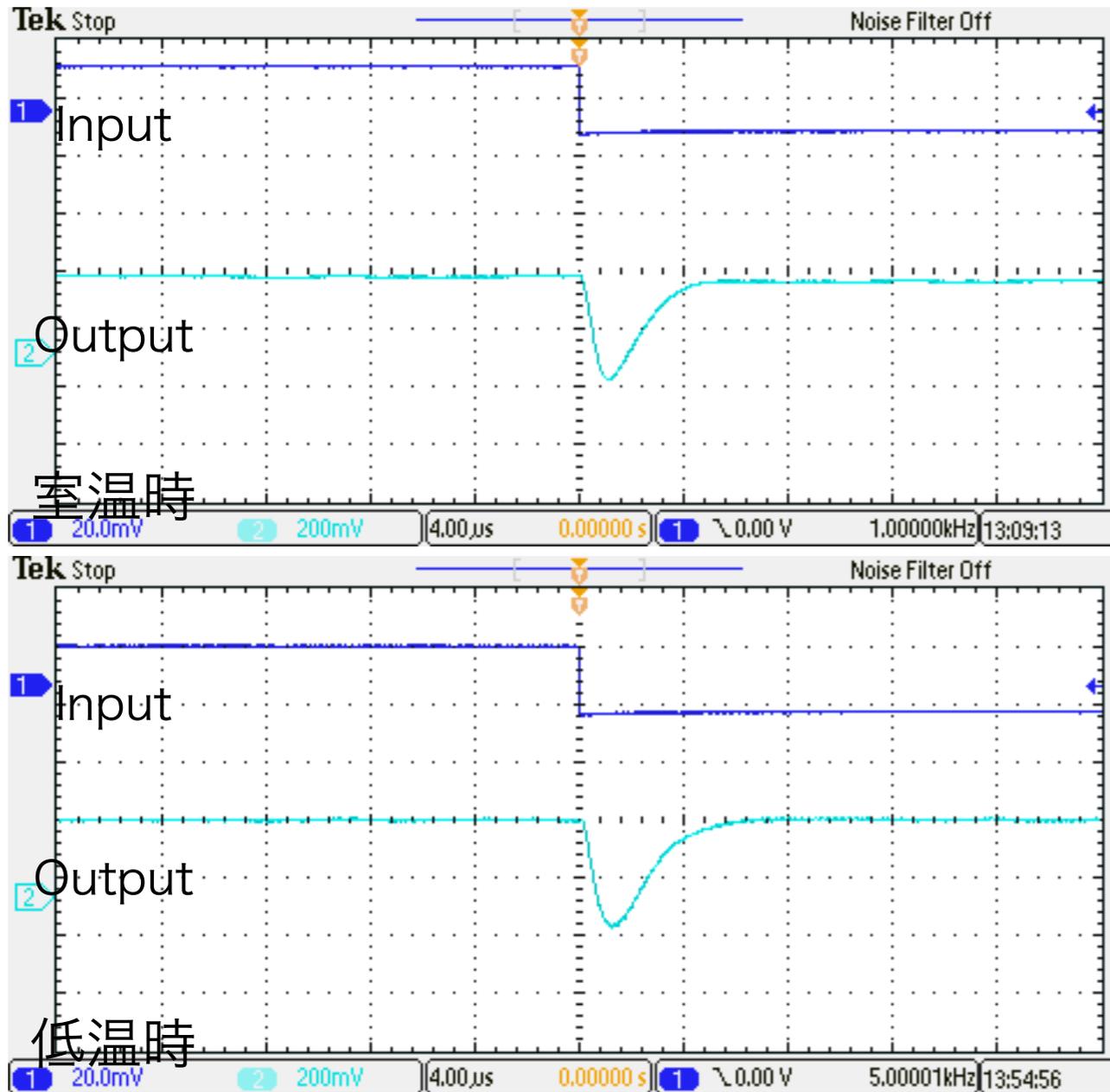
- ・ 室温と低温での違いは見られず、**性能の変化はない。**
- ・ 各パラメータに関して低温でも仕様を達成している。

低温試験セットアップ



- 液体窒素(-196°C)で満たされた低温容器内に評価用ボードに搭載したLTARS2020を配置。
- パルスジェネレータより評価用ボードへパルス電圧を入力する。
- 評価用ボードのアナログ出力を低温容器外のオシロスコープに接続し波形データを取得する。

低温試験結果

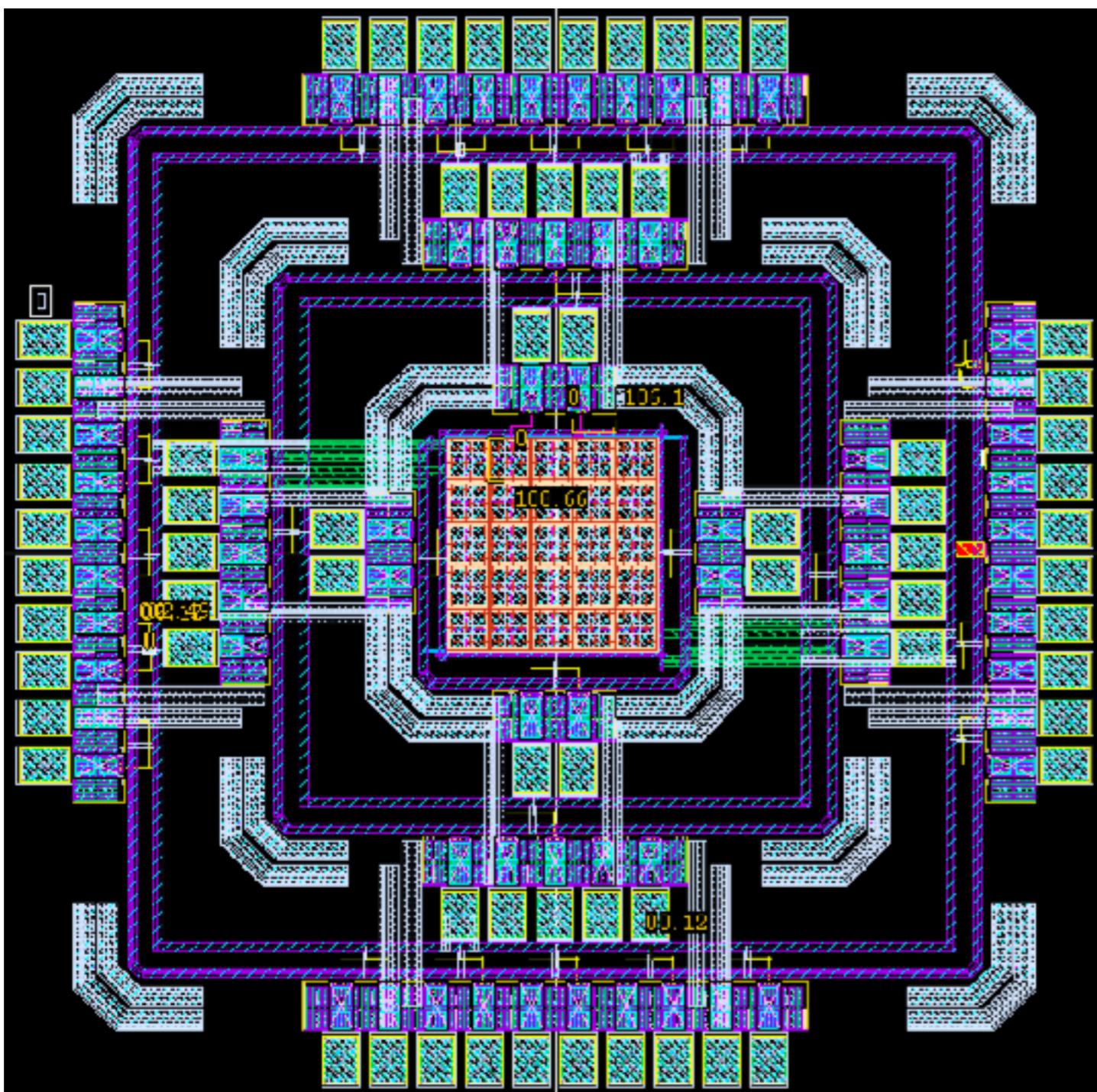


アナログ出力波形の比較

- CSAの帰還抵抗の値を調整することで、低温環境下でも室温時と同様のアナログ出力波形を取得することができた。
 - ▶ CSAの帰還抵抗はトランジスタを使用しており温度変化によって変化するため
- ゲインの自動切り替え機能も確認できた。

LTARS2020は低温環境でも室温と同様の動作をすることが確認できた。

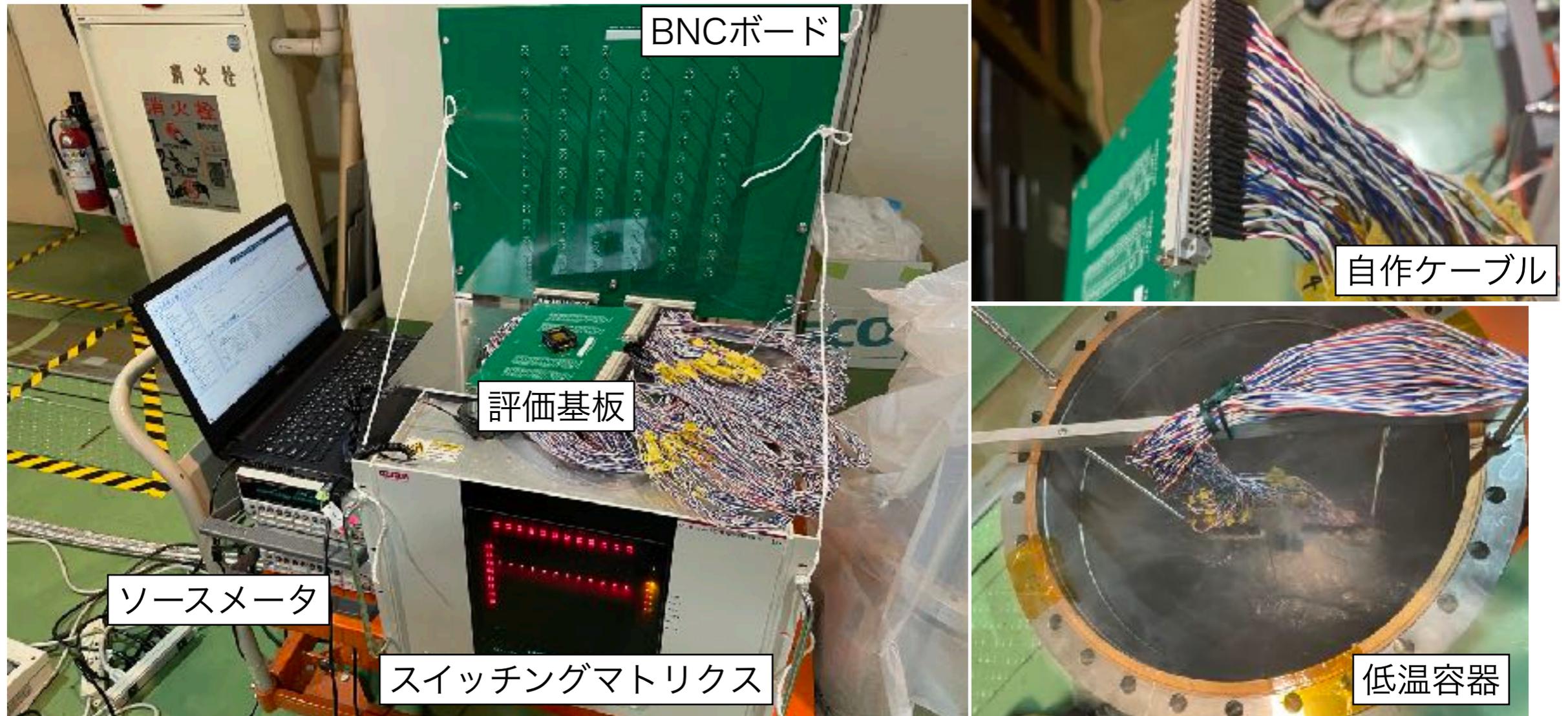
トランジスタ単体の低温試験



TRTEGchip

- 今後の開発のためにトランジスタ単体での低温時の性能評価を行っている。
- LTARSで使用している、silterra 180nmプロセスの長さや幅の異なる様々な大きさのトランジスタを配置したTEGchipを作製した。
- nmos、pmosともに12個ずつを試験した。

試験セットアップ

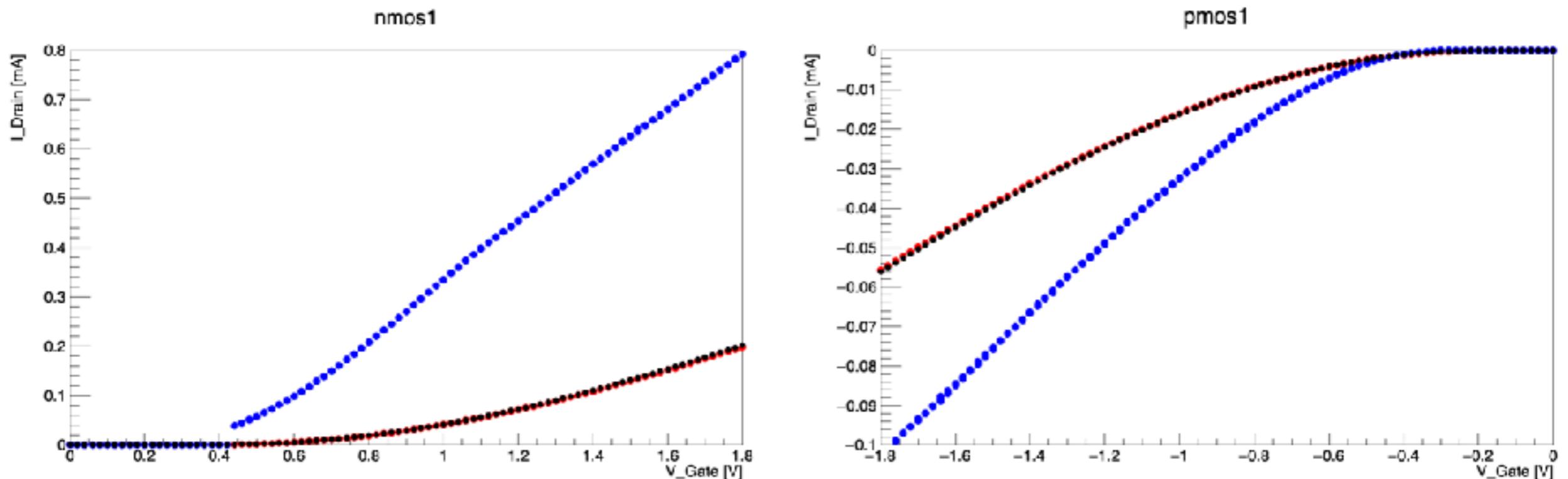


KEK坂口様、笠見様にご協力いただきました。

- 評価基板をBNCボードをケーブルで繋ぎ、スイッチングマトリクスとソースメータを使用し各トランジスタの I_d - V_g 特性を測定した。
- 室温、低温×3(入れてすぐ、30分後、1時間後)、室温に戻した際の計5回の測定を行った。
- 96×5(1回失敗した)の半田付けでケーブルを自作した。

試験結果

室温時：●
 低温時：●(3つ重なっている)
 再度室温時：●



※データがガタついているがこれは測定系の問題だと思われる。

- 現在、試験結果の評価中を行っている。nmos、pmosから1つずつ試験結果の例を示す。
- 低温時、nmosでは閾値が減少、nmos、pmos共にドレイン電流が増加するような変化が見られた。
- 他のプロセスのトランジスタTEGでの試験も行っており、それらの結果も合わせて評価を行う予定である。

まとめ

LAr-TPC、NI μ TPCなどで汎用的に用いる信号読み出しエレクトロニクス、LTARSの開発を行なっている。

LTARS2018

- ・ 室温では要請値を概ね達成できたが、低温環境での性能の劣化が見られた。

LTARS2020（改良版LTARS2018）の開発

- ・ フィードバック機構を用いたバイアス回路により、ASIC内部でバイアス電流を生成、供給することで、低温環境下でも室温と同様の動作することを確認した。

TRTEG

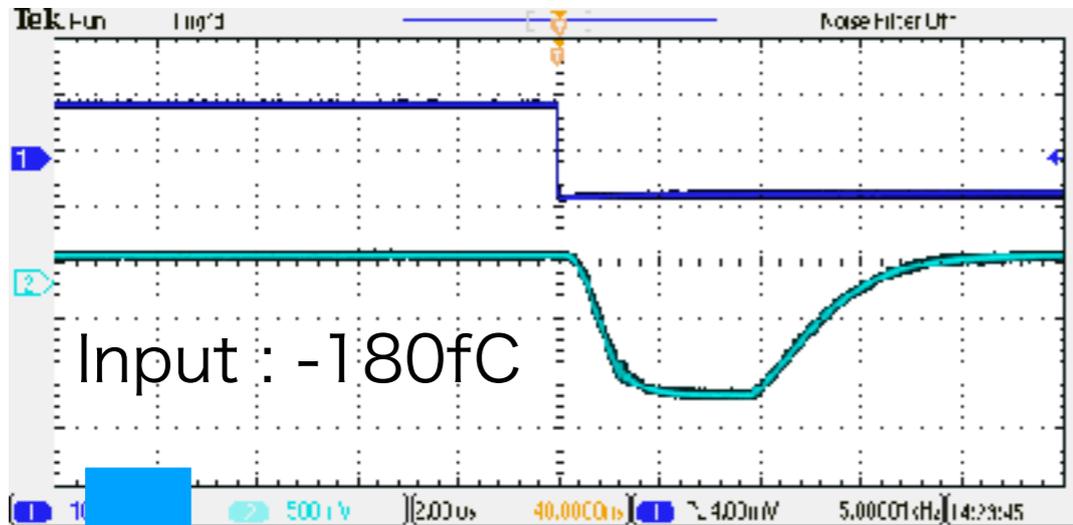
- ・ LTARSで使用している、silterra180nmプロセスの様々な大きさのトランジスタの低温試験を行なった。nmosでは閾値が減少、nmos、pmos共にドレイン電流が増加するような変化が見られた。
- ・ 他のプロセスのトランジスタでも低温試験を行い、トランジスタの低温での動作を理解していった。

今後の予定

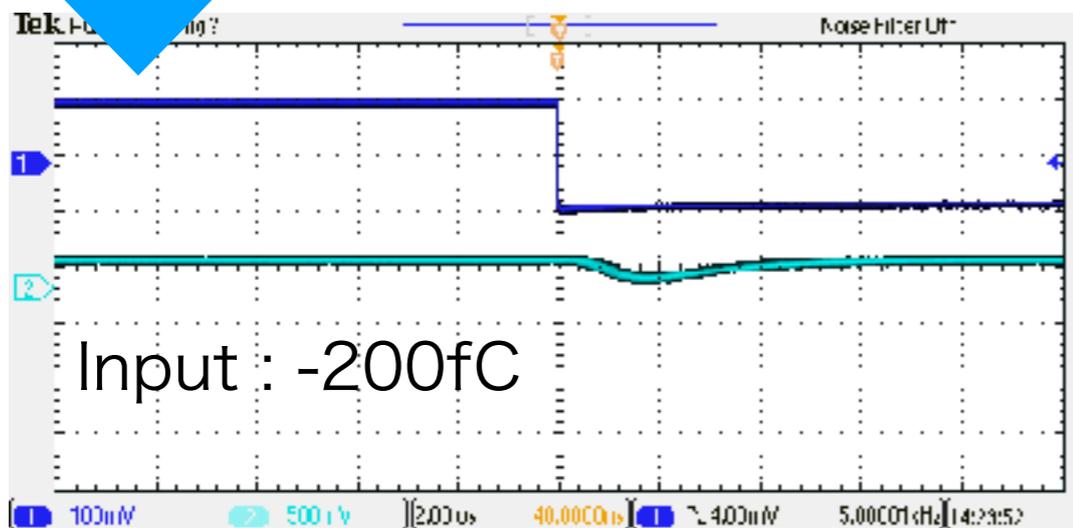
- ・ トランジスタ単体での低温性能評価
- ・ LTARSの検出器実装に向けての開発

backup

ゲインの自動切り替え



Low Gainに切り替わっている



- CSAの出力 $< V_{th}$
→ High gain mode
- CSAの出力 $> V_{th}$
→ Low gain mode

V_{th} :コンパレータの閾値電圧 (変更可能)

